

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07182856 A

(43) Date of publication of application: 21.07.95

(51) Int. Cl.

G11C 11/401
H04N 5/907

(21) Application number: 06238057

(22) Date of filing: 30.09.94

(30) Priority: 11.11.93 JP 05282457

(71) Applicant: OKI ELECTRIC IND CO LTD

(72) Inventor: TAKASUGI ATSUSHI
YOSHIOKA SHIGEMI
HIRAOKA TERUMI

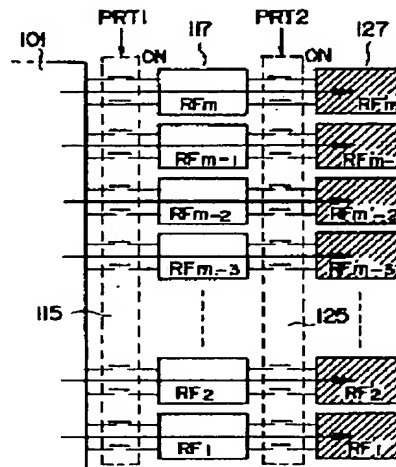
(54) SERIAL ACCESS MEMORY AND METHOD FOR
TRANSFERRING DATA

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To reduce an occupancy area and to reduce a cost by realizing a function equivalent to the function which was realized by plural pieces of serial access memories by connecting two transferring registers in series.

CONSTITUTION: The registers 117, 127 for read are connected in series. In the serial access memory, when the data are inputted to the register 127, a transfer circuit 115 is turned ON in response to a read control signal PRT1, and the transfer circuit 125 is turned ON in response to the PRT2. Thus, the data read out from a memory cell array 101 are transferred to the register 127 through the register 117. On the other hand, when the data are inputted to the register 117, the circuit 115 is turned ON in response to the PRT1, and the circuit 127 is turned OFF in response to the PRT2, and the data read out from the array 101 are transferred to the register 117. By such a constitution, the memory with a low cost is obtained.



(11)特許出願公開番号

特開平7-182856

(43)公開日 平成7年(1995)7月21日

技術表示箇所

3 6 2 G

審査請求 未請求 請求項の数54 O L (全 41 頁)

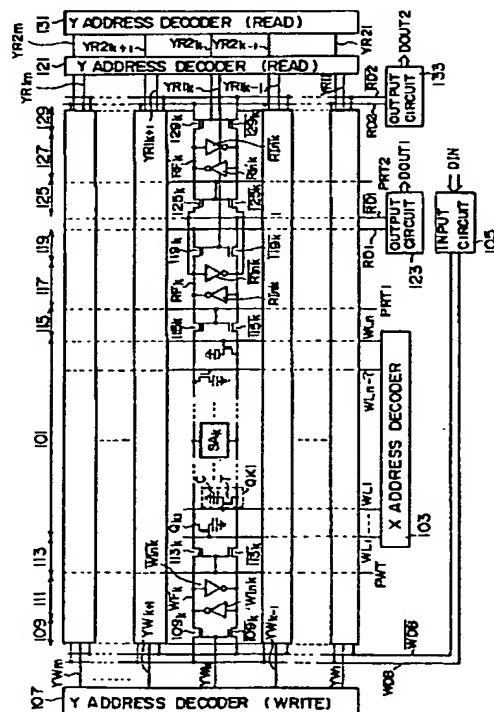
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 シリアルアクセスメモリ及びデータ転送方法

(57) 【要約】

【目的】 本発明の目的は、占有面積の小さな低コストのシリアルアクセスメモリを提供することである。

【構成】 本発明のシリアルアクセスメモリは、データを記憶する複数のメモリセルが配置されたメモリセルアレイ（１０１）と、このメモリセルアレイ（１０１）に第１のスイッチ回路（１１５）を介して接続された第１の転送用レジスタ（１１７）と、第２のスイッチ回路（１２５）を介してこの第１の転送用レジスタ（１１７）に接続された第２の転送用レジスタ（１２７）とを備えたデータ転送部であって、この第１及び第２のスイッチ回路（１１５、１２５）がＯＮ状態の場合、メモリセルアレイ（１０１）から第２の転送用レジスタ（１２７）へ第１の転送用レジスタ（１１７）を通過してデータを転送し、第１のスイッチ回路（１１５）がＯＮ状態、第２のスイッチ回路（１２５）がＯＦＦ状態の場合、メモリセルアレイ（１０１）から第１の転送用レジスタ（１１７）へデータを転送する前記データ転送部を設けたものである。



【特許請求の範囲】

【請求項 1】 複数のワード線と、

前記ワード線に交差するように配置された複数のビット線対と、

前記ワード線と前記ビット線対との交点に接続され、各々データを記憶する複数のメモリセルと、

前記複数のワード線から所望のワード線を選択する X デコーダ回路と、

前記複数のビット線対の各々に接続された複数の第 1 レジスタと、

前記複数のビット線対と前記複数の第 1 レジスタとの間に接続された複数の第 1 スイッチ回路であって、第 1 の制御信号に応答して前記ビット線対間と前記第 1 レジスタとの間を導通状態にする前記複数の第 1 スイッチ回路と、

前記複数の第 1 レジスタの各々に接続された複数の第 2 レジスタと、

前記複数の第 1 レジスタと前記複数の第 2 レジスタとの間に接続された複数の第 2 スイッチ回路であって、第 2 の制御信号に応答して前記第 1 レジスタと前記第 2 レジスタとの間を導通状態にする前記複数の第 2 スイッチ回路と、

前記複数の第 1 レジスタに接続された第 1 の出力回路と、

前記複数の第 1 レジスタと前記第 1 の出力回路との間に接続された第 1 の転送回路であって、第 1 のカラム信号に応答して前記複数の第 1 レジスタの中から所望のレジスタを選択し、選択されたレジスタに格納されたデータを前記第 1 の出力回路に転送する前記第 1 の転送回路と、

前記複数の第 2 レジスタに接続された第 2 の出力回路と、

前記複数の第 1 レジスタと前記第 1 の出力回路との間に接続された第 2 の転送回路であって、第 2 のカラム信号に応答して前記複数の第 2 レジスタの中から所望のレジスタを選択し、選択されたレジスタに格納されたデータを前記第 2 の出力回路に転送する前記第 2 の転送回路と、

前記第 1 及び第 2 の転送回路に前記第 1 及び第 2 のカラム信号を与える Y デコーダ回路とを備え、

前記第 1 スイッチ回路が ON し、前記第 2 スイッチ回路が OFF する場合、前記データが前記第 1 のレジスタへ入力され、前記第 1 スイッチ回路が ON し、前記第 2 スイッチ回路が ON して、前記データが前記第 1 レジスタを通過して前記第 2 レジスタへ入力されることを特徴とするシリアルアクセスメモリ。

【請求項 2】 前記第 1 の転送回路から転送されたデータを遅延させる第 1 の遅延回路が、前記第 1 の転送回路と前記第 1 の出力回路との間に接続されたことを特徴とする請求項 1 記載のシリアルアクセスメモリ。

【請求項 3】 前記第 1 の転送回路と前記第 1 の出力回路との間に前記第 1 の遅延回路と並列に接続された第 1 のバイパス回路であって、第 1 のバイパス信号に応答して前記第 1 の転送回路から転送されたデータを前記第 1 の出力回路に転送する前記第 1 のバイパス回路を設けたことを特徴とする請求項 2 記載のシリアルアクセスメモリ。

【請求項 4】 前記第 2 の転送回路と前記第 2 の出力回路との間に接続され、前記第 2 の転送回路から転送されたデータを遅延させる第 2 の遅延回路と、

前記第 2 の転送回路と前記第 2 の出力回路との間に前記第 2 の遅延回路と並列に接続された第 2 のバイパス回路であって、第 2 のバイパス信号に応答して前記第 2 の転送回路から転送されたデータを前記第 2 の出力回路に転送する前記第 2 のバイパス回路とを設けたことを特徴とする請求項 3 記載のシリアルアクセスメモリ。

【請求項 5】 前記第 1 の転送回路と前記第 1 の出力回路との間に直列に接続された第 1 及び第 2 のフリップフロップ回路と、

前記第 1 の転送回路と前記第 1 の出力回路との間に前記第 1 及び第 2 のフリップフロップ回路に並列に接続された第 1 のトランジスタであって、第 1 の選択信号に応答して前記第 1 の転送回路と前記第 1 の出力回路との間を導通状態にする前記第 1 のトランジスタと、

前記第 1 のフリップフロップ回路と前記第 1 の出力回路との間に前記第 2 のフリップフロップ回路に並列に接続された第 2 のトランジスタであって、第 2 の選択信号に応答して前記第 1 のフリップフロップ回路と前記第 1 の出力回路との間を導通状態にする前記第 2 のトランジスタとを有することを特徴とする請求項 1 記載のシリアルアクセスメモリ。

【請求項 6】 前記第 2 の転送回路と前記第 2 の出力回路との間に直列に接続された第 3 及び第 4 のフリップフロップ回路と、

前記第 2 の転送回路と前記第 2 の出力回路との間に前記第 3 及び第 4 のフリップフロップ回路に並列に接続された第 3 のトランジスタであって、第 3 の選択信号に応答して前記第 2 の転送回路と前記第 2 の出力回路との間を導通状態にする前記第 3 のトランジスタと、

前記第 3 のフリップフロップ回路と前記第 2 の出力回路との間に前記第 4 のフリップフロップ回路に並列に接続された第 4 のトランジスタであって、第 4 の選択信号に応答して前記第 3 のフリップフロップ回路と前記第 2 の出力回路との間を導通状態にする前記第 4 のトランジスタとを有することを特徴とする請求項 5 記載のシリアルアクセスメモリ。

【請求項 7】 前記第 1 のレジスタを構成するトランジスタのディメンションは、前記第 2 のレジスタを構成するトランジスタのディメンションより小さいことを特徴とする請求項 1 記載のシリアルアクセスメモリ。

【請求項 8】 前記複数の第 2 のレジスタと駆動電源との間に第 1 の抵抗が接続されることを特徴とする請求項 1 記載のシリアルアクセスメモリ。

【請求項 9】 前記複数の第 1 のレジスタと前記駆動電源との間に第 2 の抵抗が接続されることを特徴とする請求項 8 記載のシリアルアクセスメモリ。

【請求項 10】 前記第 1 及び第 2 のレジスタは、第 1 のインバータと第 2 のインバータとから構成され、前記第 1 のインバータの出力は前記第 2 のインバータの入力に接続され、前記第 2 のインバータの出力は前記第 1 のインバータの入力に接続されることを特徴とする請求項 1 記載のシリアルアクセスメモリ。

【請求項 11】 前記第 1 及び第 2 のインバータはクロックインバータであることを特徴とする請求項 10 記載のシリアルアクセスメモリ。

【請求項 12】 データを記憶する複数のメモリセルが配置されたメモリセルアレイと、前記メモリセルアレイに第 1 のスイッチ回路を介して接続された第 1 のレジスタと、第 2 のスイッチ回路を介して前記第 1 のレジスタに接続された第 2 のレジスタとを備え、

前記第 1 のスイッチ回路及び前記第 2 のスイッチ回路が ON 状態の場合、前記メモリセルアレイから前記第 2 のレジスタへ前記第 1 のレジスタを通過して前記データが転送され、前記第 1 のスイッチ回路が ON 状態、前記第 2 のスイッチ回路が OFF 状態の場合、前記メモリセルアレイから前記第 1 のレジスタへ前記データが転送されることを特徴とするシリアルアクセスメモリ。

【請求項 13】 前記第 1 のレジスタを構成するトランジスタのディメンションは、前記第 2 のレジスタを構成するトランジスタのディメンションより小さいことを特徴とする請求項 12 記載のシリアルアクセスメモリ。

【請求項 14】 前記第 1 及び第 2 のレジスタは、第 1 のインバータと第 2 のインバータとから構成され、前記第 1 のインバータの出力は前記第 2 のインバータの入力に接続され、前記第 2 のインバータの出力は前記第 1 のインバータの入力に接続されることを特徴とする請求項 12 記載のシリアルアクセスメモリ。

【請求項 15】 前記第 1 及び第 2 インバータと駆動電源との間に第 1 の抵抗が接続されることを特徴とする請求項 14 記載のシリアルアクセスメモリ。

【請求項 16】 前記第 1 のレジスタのインバータを構成するトランジスタのディメンションは、前記第 2 のレジスタのインバータを構成するトランジスタのディメンションより小さいことを特徴とする請求項 14 記載のシリアルアクセスメモリ。

【請求項 17】 第 1 の転送期間ではメモリセルアレイ内から読み出された第 1 のデータを第 1 のレジスタへ、第 2 の転送期間では前記メモリセル内から読み出された前記第 2 のデータを第 2 のレジスタへ転送するシリアルアクセスメモリのデータ転送方法において、前記第 2 の

データは前記第 1 のレジスタ内を通過して前記第 2 のレジスタへ転送されることを特徴とするシリアルアクセスメモリのデータ転送方法。

【請求項 18】 データを記憶する第 1 のメモリセルと、前記第 1 のメモリセルに第 1 のトランジスタを介して接続された第 1 のレジスタと、前記第 1 のレジスタに第 2 のトランジスタを介して接続された第 2 のレジスタと、第 1 または第 2 の論理レベルを有する第 1 の制御信号を前記第 1 のトランジスタに供給する第 1 の制御信号供給線と、第 1 または第 2 の論理レベルを有する第 2 の制御信号を前記第 2 のトランジスタに供給する第 2 の制御信号供給線とを備え、前記第 1 の制御信号が前記第 1 の論理レベルを有し、前記第 2 の制御信号が前記第 2 の論理レベルを有する場合、前記第 1 のトランジスタが ON し、前記第 2 のトランジスタが OFF し、前記データが前記第 1 のレジスタへ入力され、前記第 1 の制御信号が前記第 1 の論理レベルを有し、前記第 2 の制御信号が前記第 1 の論理レベルを有する場合、前記第 1 のトランジスタが ON し、前記第 2 のトランジスタが ON し、前記データが前記第 1 のレジスタを通過して前記第 2 のレジスタへ入力されることを特徴とするシリアルアクセスメモリ。

【請求項 19】 前記第 1 のレジスタを構成するトランジスタのディメンションは、前記第 2 のレジスタを構成するトランジスタのディメンションより小さいことを特徴とする請求項 18 記載のシリアルアクセスメモリ。

【請求項 20】 前記第 2 のレジスタは駆動電源に接続され、前記第 2 のレジスタと前記駆動電源との間に第 1 の抵抗が接続されることを特徴とする請求項 18 記載のシリアルアクセスメモリ。

【請求項 21】 前記第 1 のレジスタは駆動電源に接続され、前記第 1 のレジスタと前記駆動電源との間に第 2 の抵抗が接続されることを特徴とする請求項 20 記載のシリアルアクセスメモリ。

【請求項 22】 前記第 1 及び第 2 のレジスタは 2 つのインバータから構成され、一方のインバータの出力は他方のインバータの入力に接続され、前記他方のインバータの出力は前記一方のインバータの入力に接続されることを特徴とする請求項 18 記載のシリアルアクセスメモリ。

【請求項 23】 前記第 1 のレジスタのインバータを構成するトランジスタのディメンションは、前記第 2 のレジスタのインバータを構成するトランジスタのディメンションより小さいことを特徴とする請求項 22 記載のシリアルアクセスメモリ。

【請求項 24】 記憶回路内から読み出されたデータを直列に接続された第 1 及び第 2 のレジスタにデータを転送するデータ転送方法において、前記第 1 のレジスタにデータを転送する場合、前記記憶回路から直接、データを転送し、前記第 2 のレジスタにデータを転送する場

合、前記第1のレジスタを通過して前記第2のレジスタへデータを転送するデータの転送方法。

【請求項25】 第1のシリアルアクセスメモリ部であって、

第1のワード線と、前記第1のワード線に交差するように配置された第1のビット線対と、前記第1のワード線と前記第1のビット線対との交点に接続され、第1のデータを記憶する第1のメモリセルと、前記第1のビット線対に接続され、前記第1のデータが入力される出力レジスタと、前記第1のビット線対と前記出力レジスタとの間に接続された第1スイッチ回路であって、第1の制御信号に応答して前記第1のビット線対間と前記出力レジスタとの間を導通状態にし、前記第1のデータを前記出力レジスタへ転送する前記第1スイッチ回路と、前記出力レジスタに接続されたデータバスと、前記データバスに接続された出力回路と、前記出力レジスタと前記データバスとの間に接続された第1の転送回路であって、第1のカラム信号に応答して前記第1のデータを前記データバスに転送する前記第1の転送回路とを備えた前記第1のシリアルアクセスメモリ部と、

第2のシリアルアクセスメモリ部であって、第2のワード線と、前記第2のワード線に交差するように配置された第2のビット線対と、前記第2のワード線と前記第2のビット線対との交点に接続され、第2のデータを記憶する第2のメモリセルと、前記第2のビット線対と前記データバスとの間に接続され、前記第1のデータが入力される入力レジスタと、前記第2のビット線対と前記入力レジスタとの間に接続された第2スイッチ回路であって、第2の制御信号に応答して前記第2のビット線対間と前記第1入力レジスタとの間を導通状態にし、前記第1のデータを前記第2のビット線対に与える前記第2スイッチ回路と、前記入力レジスタと前記第1データバスとの間に接続された第2の転送回路であって、第2のカラム信号に応答して前記データバス上の前記第1のデータを前記入力レジスタに転送する前記第2の転送回路とを備えた前記第2のシリアルアクセスメモリ部と、前記第1の転送回路に前記第1のカラム信号を与え、前記第2の転送回路に前記第2のカラム信号を与えるYデコーダ回路と、前記データバスと前記第2の転送回路との間に接続された遅延回路であって、前記データバス上の前記第1のデータを所定期間遅延させて前記第2の転送回路に与える前記遅延回路とを有することを特徴とするシリアルアクセスメモリ装置。

【請求項26】 前記データバスに接続された初期化回路であって、初期化信号に応答して前記第1のデータが与えられた前記データバスを所定電位にする前記初期化回路を有することを特徴とする請求項25記載のシリアルアクセスメモリ装置。

【請求項27】 前記遅延回路と前記第2の転送回路と

の間に配置され、前記転送回路から与えられた前記第1のデータを記憶するデータ記憶回路を有することを特徴とする請求項25記載のシリアルアクセスメモリ。

【請求項28】 前記遅延回路と前記第2の転送回路との間に配置され、前記転送回路から与えられた前記第1のデータを記憶するデータ記憶回路を有することを特徴とする請求項26記載のシリアルアクセスメモリ。

【請求項29】 前記第1のワード線に第1の選択信号を与える第1のXデコーダ回路と、前記第2のワード線に第2の選択信号を与える第2のXデコーダ回路と、前記第1及び第2のXデコーダに共通のアドレスを与えるアドレスカウンタを有することを特徴とする請求項25記載のシリアルアクセスメモリ。

【請求項30】 前記第1のワード線に第1の選択信号を与える第1のXデコーダ回路と、前記第2のワード線に第2の選択信号を与える第2のXデコーダ回路と、前記第1及び第2のXデコーダに共通のアドレスを与えるアドレスカウンタを有することを特徴とする請求項28記載のシリアルアクセスメモリ。

【請求項31】 請求項25記載の前記シリアルアクセスメモリ装置と、前記シリアルアクセスメモリ装置の前記出力回路から出力データを受け取り、前記出力データをデジタル値からアナログ値へ変換し出力するD/A変換回路と、前記シリアルアクセスメモリ装置及び前記D/A変換回路を制御する制御回路と、前記D/A変換回路からの出力に従って画像を画面に表示する表示部とを有することを特徴とする表示装置。

【請求項32】 前記所定期間の遅延は、遅延制御信号の論理レベルの変化に応じて起こされることを特徴とする請求項28記載のシリアルアクセスメモリ。

【請求項33】 請求項25記載のシリアルアクセスメモリ装置がパッケージ樹脂で覆われた半導体記憶装置。

【請求項34】 第1のクロック信号及びそれに連続する第2のクロック信号を発生するクロック信号発生回路と、

前記第1のクロック信号に応答してデータを出力する第1のシリアルアクセスメモリ部と、

前記第2のクロック信号に応答して前記データが入力される第2のシリアルアクセスメモリ部と、

前記第1のシリアルアクセスメモリと前記第2のシリアルアクセスメモリとの間に接続され、前記第1のシリアルアクセスメモリからの前記データを所定期間遅延させて前記第2のシリアルアクセスメモリへ与える遅延回路とを有することを特徴とするシリアルアクセスメモリ装置。

【請求項35】 前記第1のシリアルアクセスメモリ部と前記遅延回路との間に配置され、前記データを転送するデータバスと、前記データバスに接続された初期化回路であって、初期化信号に応答して前記データが与えられた前記データバスを所定電位にする前記初期化回路を

有することを特徴とする請求項 3 4 記載のシリアルアクセスメモリ装置。

【請求項 3 6】 前記遅延回路と前記第 2 のシリアルアクセスメモリ部との間に配置され、前記遅延回路から出力された遅延された前記データを記憶する記憶回路を有することを特徴とする請求項 3 5 記載のシリアルアクセスメモリ。

【請求項 3 7】 請求項 3 4 記載の前記シリアルアクセスメモリ装置と、前記シリアルアクセスメモリ装置から前記データを受け取り、前記データをデジタル値からアナログ値へ変換し出力する D/A 変換回路と、前記シリアルアクセスメモリ装置及び前記 D/A 変換回路を制御する制御回路と、前記 D/A 変換回路からの出力に従って画像を画面に表示する表示部とを有することを特徴とする表示装置。

【請求項 3 8】 前記所定期間の遅延は、遅延制御信号の論理レベルの変化に応じて起こされることを特徴とする請求項 3 6 記載のシリアルアクセスメモリ。

【請求項 3 9】 請求項 3 4 記載のシリアルアクセスメモリ装置がパッケージ樹脂で覆われた半導体記憶装置。

【請求項 4 0】 第 1 のクロック信号にตอบสนองして第 1 のシリアルアクセスメモリからデータを出力するステップと、

前記データを所定期間遅延させた後、前記第 1 のクロック信号に連続する第 2 のクロック信号にตอบสนองして第 2 のシリアルアクセスメモリへ前記データを与えるステップとを有することを特徴とするシリアルアクセスメモリのデータ転送方法。

【請求項 4 1】 前記第 1 のシリアルアクセスメモリから出力されるデータはデータバス上に与えられ、前記データバスに前記データが与えられた後、直ちに前記データバスを所定の電位にプリチャージすることを特徴とする請求項 4 0 記載のシリアルアクセスメモリのデータ転送方法。

【請求項 4 2】 前記所定期間の遅延は、遅延制御信号の論理レベルの変化に応じて起こされることを特徴とする請求項 4 1 記載のシリアルアクセスメモリのデータ転送方法。

【請求項 4 3】 各々データを格納する複数のメモリセルが配置された第 1 のメモリセルアレイと、前記複数のメモリセルの中から所望のメモリセルに格納されたデータが読み出されるデータバスと、前記データバスに接続される出力回路と、前記所望のメモリセルから読み出されたデータが入力される第 2 のメモリセルアレイと、前記データバスと前記第 2 のメモリセルアレイとの間に接続され、前記読み出されたデータを所定期間遅延させて前記第 2 のメモリセルアレイに与える遅延回路とを有することを特徴とするシリアルアクセスメモリ装置。

【請求項 4 4】 前記データバスに接続された初期化回

路であって、初期化信号にตอบสนองして前記データが与えられた前記データバスを所定電位にする前記初期化回路を有することを特徴とする請求項 4 3 記載のシリアルアクセスメモリ装置。

【請求項 4 5】 前記遅延回路と前記第 2 のメモリセルアレイとの間に配置され、前記遅延回路から出力される遅延された前記データを記憶する記憶回路を有することを特徴とする請求項 4 4 記載のシリアルアクセスメモリ。

【請求項 4 6】 請求項 4 3 記載の前記シリアルアクセスメモリ装置と、前記シリアルアクセスメモリ装置から前記データを受け取り、前記データをデジタル値からアナログ値へ変換し出力する D/A 変換回路と、前記シリアルアクセスメモリ装置及び前記 D/A 変換回路を制御する制御回路と、前記 D/A 変換回路からの出力に従って画像を画面に表示する表示部とを有することを特徴とする表示装置。

【請求項 4 7】 前記所定期間の遅延は、遅延制御信号の論理レベルの変化に応じて起こされることを特徴とする請求項 4 5 記載のシリアルアクセスメモリ。

【請求項 4 8】 請求項 4 3 記載のシリアルアクセスメモリ装置がパッケージ樹脂で覆われた半導体記憶装置。

【請求項 5 0】 メモリセル内に格納されたデータを出力する第 1 のシリアルアクセスメモリ部と、前記データが入力される第 2 のシリアルアクセスメモリ部と、

前記第 1 のシリアルアクセスメモリ部と前記第 2 のシリアルアクセスメモリ部との間に接続された遅延回路であって、前記第 1 のシリアルアクセスメモリ部からの前記データを所定期間遅延させて、前記第 2 のシリアルアクセスメモリ部へ与える前記遅延回路とを有することを特徴とするシリアルアクセスメモリ装置。

【請求項 5 1】 前記第 1 のシリアルアクセスメモリ部と前記遅延回路との間に配置され、前記データを転送するデータバスと、前記データバスに接続された初期化回路であって、初期化信号にตอบสนองして前記データが与えられた前記データバスを所定電位にする前記初期化回路を有することを特徴とする請求項 5 0 記載のシリアルアクセスメモリ装置。

【請求項 5 2】 前記遅延回路と前記第 2 のシリアルアクセスメモリ部との間に配置され、前記遅延回路から出力された遅延された前記データを記憶する記憶回路を有することを特徴とする請求項 5 1 記載のシリアルアクセスメモリ装置。

【請求項 5 3】 請求項 5 0 記載の前記シリアルアクセスメモリ装置と、前記シリアルアクセスメモリ装置から前記データを受け取り、前記データをデジタル値からアナログ値へ変換し出力する D/A 変換回路と、前記シリアルアクセスメモリ装置及び前記 D/A 変換回路を制御する制御回路と、前記 D/A 変換回路からの出力に従っ

て画像を画面に表示する表示部とを有することを特徴とする表示装置。

【請求項 5 4】 前記所定期間の遅延は、遅延制御信号の論理レベルの変化に応じて起こされることを特徴とする請求項 5 2 記載のシリアルアクセスメモリ。

【請求項 5 5】 請求項 5 0 記載のシリアルアクセスメモリ装置がパッケージ樹脂で覆われた半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の出力ポートを有するシリアルアクセスメモリに関するものである。

【0002】

【従来の技術】 近年、複数の出力ポートを有するシリアルアクセスメモリ（2ポートメモリ）は、デジタルテレビ、デジタルVTR等の画面のノイズの除去、画面の動きの補正（時間軸の補正）に用いられている。

【0003】 特に、奇数ラインにより構成される画面と偶数ラインにより構成される画面とで1つの表示画面が構成される現在のTVシステム（インタレース方式と呼ばれる）では、画面に発生したノイズを除去する為に、ノイズの発生したラインをその前後のラインで置き換えるフィルタリング技術が利用されている。

【0004】 一般に、これらの技術は、フィールドディレイとラインディレイにより実現されている。このフィールドディレイを実現するシリアルアクセスメモリは、フィールドメモリと呼ばれ、このラインディレイを実現するシリアルアクセスメモリは、ラインメモリと呼ばれる。

【0005】 このようなシリアルアクセスメモリは、例えば、日本国において1989年3月7日に公開された特許公開公報64-59694号および1990年7月24日に公開された特許公開公報2-187989号に記載されている。

【0006】

【発明が解決しようとする課題】 一般に、上述したフィルタリング技術等のように画像データが処理される場合、上述の公報に示されるようなシリアルアクセスメモリを複数個用いることにより、その処理が実現されている。

【0007】 このように複数個のシリアルアクセスメモリを用いることは、実装面積が大きくなると共にコストが増すことになる。

【0008】

【課題を解決するための手段】 上述した課題を解決するために、本願の代表的な発明のシリアルアクセスメモリは、データを記憶する複数のメモリセルが配置されたメモリセルアレイと、このメモリセルアレイに第1のスイッチ回路を介して接続された第1の転送用レジスタと、第2のスイッチ回路を介してこの第1の転送用レジスタに接続された第2の転送用レジスタとを備えたデータ転

送部であって、この第1及び第2のスイッチ回路がON状態の場合、メモリセルアレイから第2の転送用レジスタへ第1の転送用レジスタを通過してデータを転送し、第1のスイッチ回路がON状態、第2のスイッチ回路がOFF状態の場合、メモリセルアレイから第1の転送用レジスタへデータを転送する前記データ転送部を設けたものである。

【0009】 また、上述した課題を解決するために、本願の代表的な他の発明のシリアルアクセスメモリは、第1のクロック信号及びそれに連続する第2のクロック信号を発生するクロック信号発生回路と、この第1のクロック信号に応答してデータを出力する第1のシリアルアクセスメモリ部と、その第2のクロック信号に応答してデータが入力される第2のシリアルアクセスメモリ部と、この第1と第2のシリアルアクセスメモリとの間に接続され、第1のシリアルアクセスメモリからのデータを所定期間遅延させて第2のシリアルアクセスメモリへ与える遅延回路とを設けたものである。

【0010】

【作用】 本願発明のシリアルアクセスメモリでは上述のような構成にしたので、従来、複数個のシリアルアクセスメモリで実現していた機能と等価な機能が、第1と第2の転送用レジスタを直列に接続することにより実現できる。

【0011】 また、本願の他の発明のシリアルアクセスメモリでは上述のような構成にしたので、従来の複数個のシリアルアクセスメモリを簡単にワンチップ化することが可能となる。

【0012】

【実施例】 以下に図面を参照しながら本発明の最適な実施例が説明される。各実施例において共通部分には同一の符号が付けられる。各実施例では、説明の理解を容易にするために本発明の基本動作に直接、関わりのないメモリコントロール信号発生回路等が省略されている。

【0013】 まず、本発明の第1の実施例が図1を参照しながら説明される。図1は、本発明の第1の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。

【0014】 本実施例のシリアルアクセスメモリは、メモリセルアレイ101を有している。メモリセルアレイ101は、複数のワードライン WL_i ($i=1\sim n$) と、それらと交差する複数の相補的なビットライン対 BL_k , \overline{BL}_k ($k=1\sim m$) とを備えている。ワードライン WL_i とビットライン対 BL_k , \overline{BL}_k との交差箇所には、トランジスタとキャパシタからなるメモリセル Q_{ki} ($k=1\sim m$, $i=1\sim n$) が、それぞれ接続され、行方向と列方向に配置されている。各ビットライン対 BL_k , \overline{BL}_k は、センスアンプ SA_k ($k=1\sim m$) にそれぞれ接続されている。

【0015】 そのメモリセルアレイ101には、Xアド

レスデコーダ103が接続されている。Xアドレスデコーダ103はワードラインに接続され、外部から与えられるXアドレスに応じてメモリセルアレイ101の任意の列を選択する機能を有している。

【0016】入力回路105は、入力端子Dinから入力された書き込みデータ(write data)をライトデータバス対WDB、バーWDBを介してメモリセルアレイ101へ入力する回路である。

【0017】Yアドレスデコーダ(ライト用)107は、外部から与えられるYアドレスをデコードし、アドレス信号YW_iによりメモリセルアレイ101の任意の行を選択する機能を有している。その選択された行のメモリセルにライトデータバス対WDB、バーWDB上のデータが入力される。

【0018】転送回路109は、複数のトランジスタ対109k、バー109kから構成される。これらのトランジスタはNチャンネル型MOSTランジスタ(NMOS)である。このトランジスタ対109k、バー109kは、ライトデータバス対WDB、バーWDBとライト用レジスタ111のフリップフロップWFkとの間に接続され、Yアドレスデコーダ107の出力YW_kによって任意の一対が選択される。この転送回路109はライトデータバス対WDB、バーWDB上の書き込みデータをライト用レジスタ111に転送する機能を有している。

【0019】ライト用レジスタ111は、転送回路109のトランジスタ対109k、バー109kに接続されるフリップフロップWFk(k=1~m)により構成される。このフリップフロップWFkは逆並列に接続された2つのインバータWInk、バーWInkにより構成される。このライト用レジスタ111は書き込みデータ(Write Data)を記憶する機能を有する。

【0020】転送回路113は、メモリセルアレイ101とライト用レジスタ111との間に接続され、複数のトランジスタ対113k、バー113kから構成される。これらのトランジスタはNチャンネル型MOSTランジスタ(NMOS)である。このトランジスタ対113k、バー113kは、フリップフロップWFkとビットライン対BLk、バーBLkとの間に接続される。この転送回路113はライト用レジスタ111の記憶する書き込みデータを書き込み制御信号PWTにตอบสนองしてメモリセルアレイ101に転送する機能を有する。

【0021】メモリセルアレイ101には、さらに、読み出されたデータ(Read Data)をリード用レジスタ117へ転送する転送回路115が接続される。この転送回路115は複数のトランジスタ対115k、バー115kから構成される。これらのトランジスタはNチャンネル型MOSTランジスタ(NMOS)である。このトランジスタ対115k、バー115kは、ビットライン対BL、バーBLと第1のリード用レジスタ

117フリップフロップRFkとの間に接続され、メモリセルアレイ101から読み出されたデータを第1の読み出し制御信号PRT1にตอบสนองして転送する。

【0022】第1のリード用レジスタ117は、転送回路115のトランジスタ対115k、バー115kに接続されるフリップフロップRFk(k=1~m)により構成される。このフリップフロップRFkは逆並列に接続された2つのインバータRInk、バーRInkにより構成される。この第1のリード用レジスタ117は、リード転送回路115により転送された1列分の読み出しデータ(Read Data)を格納する機能を有する。

【0023】転送回路119は、第1のリードデータバス対RD1、バーRD1と第1のリード用レジスタ117との間に接続され、複数のトランジスタ対119k、バー119kから構成される。これらのトランジスタはNチャンネル型MOSTランジスタ(NMOS)である。このトランジスタ対119k、バー119kは、フリップフロップRFkと第1のリードデータバス対RD1、バーRD1との間に接続される。この転送回路119は第1のリード用レジスタ117の記憶する読み出しデータを第1のYアドレスデコーダ(Read)121からのアドレス信号YR1kにตอบสนองして第1のリードデータバス対RD1、バーRD1に転送する。

【0024】第1のリードデータバス対RD1、バーRD1には第1の出力回路123が接続される。この第1の出力回路123は、第1のリード用レジスタ117から転送された読み出しデータを第1の出力端子DOU1へ出力する。

【0025】さらに、本発明のシリアルアクセスメモリでは、第1のリード用レジスタ117に転送回路125が接続されている。この転送回路125は、第2の読み出し制御信号PRT2にตอบสนองしてメモリセルアレイ101から読み出されたデータを第1のリード用レジスタ117を介して、第2のリード用レジスタ127へ転送する機能を有する。この転送回路125は複数のトランジスタ対125k、バー125kから構成される。これらのトランジスタはNチャンネル型MOSTランジスタ(NMOS)である。このトランジスタ対125k、バー125kは、第1のリード用レジスタ117のフリップフロップRFkと第2のリード用レジスタ127のフリップフロップRF'kとの間に接続され、メモリセルアレイ101のメモリセルQk_iから読み出されたデータを第2の読み出し制御信号PRT2にตอบสนองして転送する。

【0026】第2のリード用レジスタ127は、転送回路125のトランジスタ対125k、バー125kに接続されるフリップフロップRF'k(k=1~m)により構成される。このフリップフロップRF'kは逆並列に接続された2つのインバータRIn'k、バーRIn

$n'k$ により構成される。この第2のリード用レジスタ127は、リード転送回路125により転送された1列分の読み出しデータ(Read Data)を格納する機能を有する。

【0027】転送回路129は、第2のリードデータバス対RD2、バーRD2と第2のリード用レジスタ127との間に接続され、複数のトランジスタ対129k、バー129kから構成される。これらのトランジスタはNチャンネル型MOSトランジスタ(NMOS)である。このトランジスタ対129k、バー129kは、フリップフロップRF'kと第2のリードデータバス対RD2、バーRD2との間に接続される。この転送回路129は第2のリード用レジスタ127の記憶する読み出しデータを第2のYアドレスデコーダ(Read)131からのアドレス信号YR2kに応答して第2のリードデータバス対RD2、バーRD2に転送する。

【0028】第2のリードデータバス対RD2、バーRD2には第2の出力回路133が接続される。この第2の出力回路133は、第2のリード用レジスタ127から転送された読み出しデータを第2の出力端子DOU2へ出力する。

【0029】次に、本発明の理解をさらに容易にするために、本発明の特徴部分が模式的に示された図2を参照しながら説明される。この場合、図1に示されるシリアルアクセスメモリの要素と同一部分には同一符号が付けられている。

【0030】図2に示されるように、本発明のシリアルアクセスメモリでは、第1のリード用レジスタ117と第2のリード用レジスタ127とが直列に接続されている。このシリアルアクセスメモリでは、第2のリード用レジスタ127にデータが入力される場合、図2(A)に示されるように、第1の読み出し制御信号PRT1に응答して転送回路115がONし、第2の読み出し制御信号PRT2に응答して転送回路127がONして、メモリセルアレイ101から読み出されたデータが第1のリード用レジスタ117を経由し第2のリード用レジスタ127へ転送される。一方、第1のリード用レジスタ115にデータが入力される場合、図2(B)に示されるように、第1の読み出し制御信号PRT1に응答して転送回路115がONし、第2の読み出し制御信号PRT2に응答して転送回路127がOFFして、メモリセルアレイ101から読み出されたデータが第1のリード用レジスタ117へ転送される。

【0031】次に、本実施例のシリアルアクセスメモリの詳細な動作が、図3及び図4のタイミングチャートを参照して説明される。この場合、説明を理解し易くするために、書き込み動作と読み出し動作が別々に説明される。書き込み動作は図3のタイミングチャートを参照して説明され、読み出し動作は図4のタイミングチャートを参照して説明される。書き込み動作と読み出し動作と

を互いに独立して動作させることにより、シリアルアクセスメモリを同時に動作させることも可能である。そのような動作は、以下の説明を参照することにより容易に理解することができる。説明は、理解を容易にするため期間毎に区切って行われる。

【0032】このシリアルアクセスメモリは、クロック信号CLKに응答して動作する。このクロック信号CLKは、図5(a)に示されるようなクロック信号発生回路500により出力される。このクロック信号発生回路500は、奇数段の複数のインバータ5011~501j(j: j ≥ 3の奇数)が直列に接続されるインバータ部501と、インバータ503と、ゲート回路505とより構成される。インバータ501jの出力は、インバータ5011の入力及びインバータ503の入力に接続される。インバータ503の出力Poはゲート回路505の一方の入力に接続される。ゲート回路505の他方の入力には、クロック制御信号CLEが与えられる。

【0033】このクロック信号発生回路500の簡単な動作が、図5(b)のタイミングチャートに示される。このタイミングチャートに示されるように、クロック制御信号CLEの論理レベルがHIGH LEVEL(以下、"H"とする)になる間(期間ta~tbの間)、クロック信号発生回路500からクロック信号CLKが出力される。

【0034】まず、図3を用いて外部からデータが入力される場合の動作が説明される。

【0035】<期間t1>書き込みデータ(Write Data)d1が入力端子DINより入力回路105に入力される。この書き込みデータd1は、入力回路105からライト用データバス対WD、バーWDに与えられる。この時、Yアドレスデコーダ(Write)107からのアドレス信号YW1が"H"になっているので、転送回路109のトランジスタ対1091、バー1091がONし、書き込みデータd1はライト用レジスタ111のフリップフロップWF1に入力される。

【0036】<期間t2>同様に、書き込みデータd2が入力回路105からライト用データバスWDB、バーWDBに与えられる。この時、アドレス信号YW2が"H"なので、転送回路109のトランジスタ対1092、バー1092がONし、書き込みデータd2はライト用レジスタ111のフリップフロップWF2に入力される。

【0037】<期間t3>同様に、書き込みデータd3が入力回路105からライト用データバスWDB、バーWDBに与えられる。この時、アドレス信号YW3が"H"なので、転送回路109のトランジスタ対1093、バー1093がONし、書き込みデータd3はライト用レジスタ111のフリップフロップWF3に入力される。

【0038】<期間t4>以下、順次同様に、書き

込みデータ d_m が入力回路 105 からライト用データバス WD、バーWD に与えられる。この時、アドレス信号 Y_{Wm} が "H" なので、転送回路 109 のトランジスタ対 109m、バー109m が ON し、書き込みデータ d_m はライト用レジスタ 111 のフリップフロップ WF_m に入力される。

【0039】<期間 t_5 > X アドレスデコーダ 103 により所望のワードライン WL_a ($1 \leq a \leq n$) が選択される。この場合、そのワードライン WL_a の電位レベルが "H" となる。同時に、書き込み制御信号 PWT の論理レベルが "H" レベルになり、転送回路 113 のトランジスタ対 113l、バー113l ~ 113m、バー113m が ON する。これにより、ライト用レジスタ 111 に記憶されている書き込みデータ $d_1 \sim d_m$ が、ワードライン WL_a に接続されるメモリセル Q_1 , $a \sim Q_m$, a に書き込まれる。

【0040】以上のようにしてメモリセルアレイ 101 内のメモリセルに書き込みデータが書き込まれる。

【0041】次に、図 4 を用いて本実施例のシリアルアクセスメモリの読み出し動作が説明される。この場合、第 1 及び第 2 の出力端子 DOUT1、DOUT2 からそれぞれ読み出しデータが出力される動作が示される。

【0042】<期間 t_1 > X アドレスデコーダ 103 により所望のワードライン WL_a ($1 \leq a \leq n$) が選択される。この場合、このワードライン WL_a の電位が "H" になる。このワードライン WL_a は、これから第 2 の出力端子 DOUT2 より読み出そうとする読み出しデータが格納されているメモリセル群に接続されている。

【0043】この時、ワードライン WL_a に接続するメモリセル C_1 , $a \sim C_m$, a に格納されているデータは、各々のメモリセルが接続するビットライン対 BL_1 , バー $BL_1 \sim BL_m$, バー BL_m に読み出される。そして、ビットライン対上のデータは、各センスアンプ $SA_1 \sim SA_m$ により増幅される。

【0044】<期間 t_2 > 次に、第 1 及び第 2 の読み出し制御信号 PRT1、PRT2 の論理レベルが "H" になる。従って、転送回路 115 のトランジスタ対 115l、バー115l ~ 115m、バー115m が ON し、転送回路 125 のトランジスタ対 125l、バー125l ~ 125m、125m が ON する。

【0045】これにより、期間 t_1 においてセンスアンプ $SA_1 \sim SA_m$ により増幅されたビットライン対 BL_1 , バー $BL_1 \sim BL_m$, バー BL_m 上のデータは、第 1 のリード用レジスタ 117 に一気に転送される。さらに、そのデータは、第 1 のリード用レジスタ 117 を経由して、第 2 のリード用レジスタ 127 へ入力される。

【0046】<期間 t_3 > 次に、X アドレスデコーダ 103 により所望のワードライン WL_b ($1 \leq b \leq n$) が選択される。この場合、このワードライン WL_b の電位が "H" になる。このワードライン WL_b は、これから

第 1 の出力端子 DOUT1 より読み出そうとする読み出しデータが格納されているメモリセル群に接続されている。

【0047】この時、ワードライン WL_b に接続するメモリセル C_1 , $b \sim C_m$, b に格納されているデータは、各々のメモリセルが接続するビットライン対 BL_1 , バー $BL_1 \sim BL_m$, バー BL_m に読み出される。そして、ビットライン対上のデータは、各センスアンプ $SA_1 \sim SA_m$ により増幅される。

【0048】<期間 t_4 > 次に、第 1 の読み出し制御信号 PRT1 の論理レベルが "H" に、第 2 の読み出し制御信号 PRT2 の論理レベルが "L" になる。従って、転送回路 115 のトランジスタ対 115l、バー115l ~ 115m、バー115m が ON し、転送回路 125 のトランジスタ対 125l、バー125l ~ 125m、125m が OFF する。

【0049】これにより、期間 t_1 においてセンスアンプ $SA_1 \sim SA_m$ により増幅されたビットライン対 BL_1 , バー $BL_1 \sim BL_m$, バー BL_m 上のデータは、第 1 のリード用レジスタ 117 に一度に入力される。

【0050】<期間 t_5 > 次に、第 1 の Y アドレスデコーダ (Read) 121 からのアドレス信号 Y_{R11} が "H" になり、転送回路 119 のトランジスタ対 119l、バー119l が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF_1 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD_1 , バー RD_1 を介して出力回路 123 へ転送される。そして、その出力回路 123 から出力端子 DOUT1 へデータ D_1 が出力される。

【0051】同様に、第 2 の Y アドレスデコーダ (Read) 131 からのアドレス信号 Y_{R21} が "H" になり、転送回路 129 のトランジスタ対 129l、バー129l が ON する。従って、第 2 のリード用レジスタ 127 のフリップフロップ RF'_1 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD_2 , バー RD_2 を介して出力回路 133 へ転送される。そして、その出力回路 133 から出力端子 DOUT2 へデータ D_1' が出力される。

【0052】<期間 t_6 > 次に、第 1 の Y アドレスデコーダ (Read) 121 からのアドレス信号 Y_{R12} が "H" になり、転送回路 119 のトランジスタ対 119l、バー119l が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF_2 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD_1 , バー RD_1 を介して出力回路 123 へ転送される。そして、その出力回路 123 から第 1 の出力端子 DOUT1 へデータ D_2 が出力される。

【0053】同様に、第 2 の Y アドレスデコーダ (Read) 131 からのアドレス信号 Y_{R22} が "H" になり、転送回路 129 のトランジスタ対 129l、バー1

292がONする。従って、第2のリード用レジスタ127のフリップフロップRF'2に記憶されている読み出しデータが、第2のリード用データバス対RD2、バーRD2を介して出力回路133へ転送される。そして、その出力回路133から第2の出力端子DOU2へデータD2'が出力される。

【0054】以後、期間t7、t8に示されるように上述した動作と同様にして、第1の出力端子DOU1からデータD3、D4・・・Dmが出力され、第2の出力端子DOU2からデータD3'、D4'・・・Dm'がそれぞれ順次出力される。

【0055】以上のようにして、メモリセルアレイから読み出されたデータが2つの出力端子から順次出力される。

【0056】ここで、一般に、メモリセルアレイから読み出されたデータが2つの出力端子から読み出されるシリアルアクセスメモリ（2ポートのメモリと言う）として、次のようなものが考えられる。

【0057】第1に、近接して配置され、それぞれの書き込みデータバスが共通の入力回路に接続される同一の2つのシリアルアクセスメモリに、同一のアドレスのメモリセルを選択して同一の書き込みデータをメモリセルに書き込んだ後、それぞれ独立した読み出し動作により、異なるアドレスのメモリセルに格納されているデータをそれぞれ独立した出力回路から読み出すシリアルアクセスメモリである。

【0058】第2に、2つのリード用レジスタがメモリセルアレイのビットライン対に転送回路を介して並列に接続され、交互に読み出しデータを出力するシリアルアクセスメモリである。

【0059】本発明の第1の実施例のシリアルアクセスメモリと上述の第1のシリアルアクセスメモリとを比較すると、第1のシリアルアクセスメモリでは2つのシリアルアクセスメモリにより2ポートメモリを実現しているのに対し、本発明の第1の実施例のシリアルアクセスメモリは単一のシリアルアクセスメモリにより2ポートメモリを実現することができるので、本発明の第1の実施例のシリアルアクセスメモリは第1のシリアルアクセスメモリに比べて格段に占有面積が小さくなる。また、占有面積が小さくなるので各信号線の配線長も短くなり、動作速度の高速化も期待できる。さらに、本発明の第1の実施例のシリアルアクセスメモリによると2ポートメモリを単一のシリアルアクセスメモリにより実現しているので、消費電力も大幅に低減できる。

【0060】また、リード用レジスタの周辺部では配線や転送回路が密集しているので、メモリセルの集積化が進めば進む程、それに応じてその周辺部での設計の自由度が小さくなる。しかし、第2のシリアルアクセスメモリではリード用レジスタを並列に配置しているためそれぞれを接続する配線長が長くなるので、集積化が進むと

周辺部での配線の設計が困難になる。あるいは、周辺部での設計の自由度を確保するためにメモリセル間のピッチをカラム方向（Yアドレスデコーダと平行な方向）に広げざるを得ない。このことは半導体記憶装置の集積化を妨げることになる。一方、本発明の第1の実施例のシリアルアクセスメモリは、2つのリード用レジスタが直列に接続される構成なので、それぞれに接続される配線は第2のシリアルアクセスメモリに比べて大幅に短くなる。それ故、リード用レジスタの周辺部での設計の自由度が確保されると共に、メモリセルの集積化に応じて周辺部の集積化も達成できる。

【0061】このように本発明の第1の実施例のシリアルアクセスメモリによれば、複数個のシリアルアクセスメモリで実現していた機能と同一の機能が、単一のシリアルアクセスメモリで実現できると共に、集積度が大きく、低コストのシリアルアクセスメモリを提供することができる。

【0062】次に、本発明の第2の実施例が図6を参照しながら説明される。図6は本発明の第2の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、第1の実施例のシリアルアクセスメモリと同一の要素には同一の符号が付けられ、その説明が省略されている。

【0063】この第2の実施例のシリアルアクセスメモリの構成は、基本的に第1の実施例のシリアルアクセスメモリとほぼ同様である。第1の実施例のシリアルアクセスメモリと異なる点は、第1の実施例の第1及び第2のリード用Yアドレスデコーダ121、131が共通のYアドレスデコーダ(Read)601に置換されている点である。このYアドレスデコーダ(Read)601の構成及びその機能は、第1及び第2のYアドレスデコーダ121、131の構成と同じである。

【0064】すなわち、本実施例のシリアルアクセスメモリでは、Yアドレスデコーダ(Read)601から出力されるアドレス信号YRk ($1 \leq k \leq m$) が、転送回路119のトランジスタ対119k、バー119kのゲート電極及び転送回路129のトランジスタ対129k、バー129kのゲート電極に与えられる。

【0065】次に、図7のタイミングチャートに本実施例のシリアルアクセスメモリの読み出し動作が説明される。この場合、第1及び第2の出力端子DOU1、DOU2からそれぞれ読み出しデータが出力される動作が示される。この場合、図4のタイムチャートに示される第1の実施例のシリアルアクセスメモリの動作についての説明を参考にすれば、本実施例のシリアルアクセスメモリの動作が容易に理解できる。従って、期間t1～t4の説明は図4の説明を参考にすることにより省略され、ここでは期間t5以降の動作が説明される。

【0066】＜期間t5＞Yアドレスデコーダ(Read)601からのアドレス信号YR1が”H”になり、

転送回路 119 のトランジスタ対 1191、バー 1191 及び転送回路 129 のトランジスタ対 1291、バー 1291 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF1 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して出力回路 123 へ転送されると共に、第 2 のリード用レジスタ 127 のフリップフロップ RF'1 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 123 から出力端子 DOUT1 へデータ D1 が出力され、その出力回路 133 から出力端子 DOUT2 へデータ D1' が出力される。

【0067】<期間 t6>次に、Y アドレスデコーダ (Read) 601 からのアドレス信号 YR2 が "H" になり、転送回路 119 のトランジスタ対 1192、バー 1192 が ON し、転送回路 129 のトランジスタ対 1292、バー 1292 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF2 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して出力回路 123 へ転送されると共に、第 2 のリード用レジスタ 127 のフリップフロップ RF'2 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 123 から第 1 の出力端子 DOUT1 へデータ D2 が出力され、その出力回路 133 から第 2 の出力端子 DOUT2 へデータ D2' が出力される。

【0068】以後、期間 t7、t8 に示されるように上述した動作と同様に、第 1 の出力端子 DOUT1 からデータ D3、D4・・・Dm が出力され、第 2 の出力端子 DOUT2 からデータ D3'、D4'・・・Dm' がそれぞれ順次出力される。

【0069】以上のようにして、メモリセルアレイから読み出されたデータが 2 つの出力端子から順次出力される。

【0070】第 2 の実施例のシリアルアクセスメモリによれば、上述した第 1 の実施例のシリアルアクセスメモリの効果に加え、さらに、リード用 Y アドレスデコーダを共有したため、占有面積の小さなシリアルアクセスメモリが実現できる。この第 2 の実施例のシリアルアクセスメモリが適用される分野としては、必ずしも時間軸の補正をする必要がなく、同一の Y アドレスによりアクセス可能な低品位の TV、VTR 等が考えられる。

【0071】次に、本発明の第 3 の実施例が図 8 を参照しながら説明される。図 8 は本発明の第 3 の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一

の符号が付けられ、その説明が省略されている。

【0072】この第 3 の実施例のシリアルアクセスメモリの構成は、基本的に第 2 の実施例のシリアルアクセスメモリとほぼ同様である。第 2 の実施例のシリアルアクセスメモリと異なる点は、第 1 のリードデータバス対 RD1、バー RD1 と第 1 の出力回路 123 との間に第 1 の遅延回路 800 が接続されている点である。この遅延回路 800 は、リードデータバス上に読み出されたデータを転送する際、その転送を所定期間だけ遅延させる機能を有している。この遅延回路 800 は、前述のような配置にする代わりに第 2 のリードデータバス対 RD2、バー RD2 と第 2 の出力回路 133 との間に配置してもよい。すなわち、この遅延回路は、どちらか一方のリードデータバス対と出力回路との間に接続されていればよい。

【0073】この遅延回路 800 は、図 9 に示されるように、読み出しデータを所定ビットだけ遅延できるようにフリップフロップ FF1～フリップフロップ FFx が直列に接続されている。X=2 の場合、2 ビットの遅延が生じ、X=3 の場合、3 ビットの遅延が生じることになる。この遅延回路 800 は、クロック信号 CLK に同期して動作する。

【0074】次に、図 10 のタイミングチャートを参照して、本実施例のシリアルアクセスメモリの読み出し動作が説明される。この場合、3 ビットの遅延が生じる場合 (X=3) で、第 1 及び第 2 の出力端子 DOUT1、DOUT2 からそれぞれ読み出しデータが出力される動作が示される。この場合、図 4 及び図 7 のタイムチャートに示される第 1 及び第 2 の実施例のシリアルアクセスメモリの動作についての説明を参考にすれば、本実施例のシリアルアクセスメモリの動作が容易に理解できる。従って、期間 t1～t4 の説明は図 4 及び図 7 の説明を参考にすることにより省略され、ここでは期間 t5 以降の動作が説明される。

【0075】<期間 t5>Y アドレスデコーダ (Read) 601 からのアドレス信号 YR1 が "H" になり、転送回路 119 のトランジスタ対 1191、バー 1191 及び転送回路 129 のトランジスタ対 1291、バー 1291 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF1 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して遅延回路 800 へ転送される。そして、そのデータがフリップフロップ FF1 に格納される。同時に、第 2 のリード用レジスタ 127 のフリップフロップ RF'1 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 133 から出力端子 DOUT2 へデータ D1' が出力される。

【0076】<期間 t6>次に、Y アドレスデコーダ (Read) 601 からのアドレス信号 YR2 が "H"

になり、転送回路 119 のトランジスタ対 1192、バー 1192 が ON し、転送回路 129 のトランジスタ対 1292、バー 1292 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF2 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して遅延回路 800 へ転送される。この時、フリップフロップ FF1 に格納されていたデータはクロック信号に同期してフリップフロップ FF2 に入力されると共に、フリップフロップ FF1 にフリップフロップ RF2 から読み出されたデータが入力される。それと共に、第 2 のリード用レジスタ 127 のフリップフロップ RF'2 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 133 から第 2 の出力端子 DOUT2 へデータ D2' が出力される。

【0077】<期間 t7>次に、Y アドレスデコーダ (Read) 601 からのアドレス信号 YR3 が "H" になり、転送回路 119 のトランジスタ対 1193、バー 1193 が ON し、転送回路 129 のトランジスタ対 1293、バー 1293 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF3 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して遅延回路 800 へ転送される。この時、フリップフロップ FF1 に格納されていたデータはクロック信号に同期してフリップフロップ FF2 に入力されると共に、フリップフロップ FF2 に格納されていたデータはクロック信号に同期してフリップフロップ RF3 に入力される。同時に、フリップフロップ FF1 にフリップフロップ RF3 から読み出されたデータが入力される。それと共に、第 2 のリード用レジスタ 127 のフリップフロップ RF'3 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 133 から第 2 の出力端子 DOUT2 へデータ D3' が出力される。

【0078】<期間 t8>次に、Y アドレスデコーダ (Read) 601 からのアドレス信号 YR4 が "H" になり、転送回路 119 のトランジスタ対 1194、バー 1194 が ON し、転送回路 129 のトランジスタ対 1294、バー 1294 が ON する。従って、第 1 のリード用レジスタ 117 のフリップフロップ RF4 に記憶されている読み出しデータが、第 1 のリード用データバス対 RD1、バー RD1 を介して遅延回路 800 へ転送される。この時、フリップフロップ FF1 に格納されていたデータはクロック信号に同期してフリップフロップ FF2 に入力されると共に、フリップフロップ FF2 に格納されていたデータはクロック信号に同期してフリップフロップ RF4 に入力され、フリップフロップ RF4 に格納されていたデータは、出力回路 123 へ転送され

る。同時に、フリップフロップ FF1 にフリップフロップ RF4 から読み出されたデータが入力される。それと共に、第 2 のリード用レジスタ 127 のフリップフロップ RF'4 に記憶されている読み出しデータが、第 2 のリード用データバス対 RD2、バー RD2 を介して出力回路 133 へ転送される。そして、その出力回路 123 から第 1 の出力端子 DOUT1 へデータ D1 が出力され、その出力回路 133 から第 2 の出力端子 DOUT2 へデータ D4' が出力される。

【0079】以後、期間 t9、t10・・・に示されるように上述した動作と同様にして、第 1 の出力端子 DOUT1 からデータ D2、D3・・・Dm-3 が出力され、第 2 の出力端子 DOUT2 からデータ D5'、D6'・・・Dm' がそれぞれ順次出力される。このようにして、第 2 の出力端子 DOUT2 から出力されるデータより、3 ビット遅延したデータが第 1 の出力端子 DOUT1 から出力される。

【0080】以上のようにして、メモリセルアレイから読み出されたデータが 2 つの出力端子から順次出力される。

【0081】本実施例によれば前述した第 1 及び第 2 の実施例の効果に加え、一方の出力端子からのデータを遅延させることができるので、データ出力のバリエーションが増え、ユーザーの選択肢が広がる。

【0082】次に、本発明の第 4 の実施例が図 11 を参照しながら説明される。図 11 は本発明の第 4 の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0083】この 4 の実施例のシリアルアクセスメモリでは、第 3 の実施例のシリアルアクセスメモリの遅延回路 800 に遅延バイパス回路 1100 が接続されている。

【0084】この遅延バイパス回路 1100 は、図 12 に示されるようにトランジスタ 1101、1102、1103 及びインバータ 1104 より構成されている。これらのトランジスタは N 型 MOS トランジスタである。このトランジスタ 1101 は、遅延回路 800 と並列に第 1 のリードバス対 RD、バー RD と第 1 の出力回路 123 との間に接続される。また、トランジスタ 1102 はフリップフロップ FF1 と第 1 のリードバス対 RD1、バー RD1 との間に接続される。また、トランジスタ 1103 はフリップフロップ FFx と第 1 の出力回路 123 との間に接続される。このトランジスタ 1101 の制御電極には遅延バイパス信号 PBP が与えられる。また、トランジスタ 1102、1103 の両制御電極にはインバータ 1104 を介して遅延バイパス信号 PBP が与えられる。この遅延バイパス回路 1100 は、遅延

バイパス信号PBPに応答してデータ転送の遅延を制御する機能を有している。

【0085】この第4の実施例のシリアルアクセスメモリでは、遅延バイパス信号PBPが“H”となるとトランジスタ1101がONし、トランジスタ1102、1103がOFFとなる。この場合、リードバス上のデータは遅延回路800をバイパスされ、第1の出力回路123へ転送される。すなわち、遅延効果がなくなる。

【0086】一方、遅延バイパス信号PBPがLOW LEVEL（以下、“L”とする）の時、トランジスタ1101はOFFし、トランジスタ1102、1103はONする。従って、読み出しデータは遅延回路800を介して転送されるので、上述の第3の実施例の説明のように第1の出力端子DOU1の出力は、第2の出力端子DOU2の出力に対しnビット遅延される。

【0087】本実施例のシリアルアクセスメモリによれば、上述した実施例の効果に加え、上述した第2または第3の実施例のシリアルアクセスメモリの機能を外部から与えられる遅延バイパス信号PBPにより選択することが可能になる。

【0088】次に、本発明の第5の実施例が図13を参照しながら説明される。図13は本発明の第5の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0089】この第5の実施例のシリアルアクセスメモリは、第4の実施例のシリアルアクセスメモリの第2のリードデータバス対RD2、バーRD2に、第3及び第4の実施例中で説明した遅延回路800'及び遅延バイパス回路1100'を付加したものである。この遅延回路800'及び遅延バイパス回路1100'の構成は、遅延回路800及び遅延バイパス回路1100と同様な構成である。これらの回路は遅延バイパス信号PBP'により制御される。

【0090】本実施例のシリアルアクセスメモリの動作は、上述した第3及び第4の実施例を参考にすれば容易に理解できる。

【0091】本実施例のシリアルアクセスメモリによれば、上述した実施例の効果に加え、第1及び第2の出力端子からの読み出しデータを外部から与えられる信号により任意に遅延させることが可能となる。

【0092】次に、本発明の第6の実施例が図14を参照しながら説明される。図14は本発明の第6の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0093】本実施例では、遅延選択回路1400が第1のリードデータバス対RD1、バーRD2と第1の出力回路123との間に接続されている。この遅延選択回路1400は、図15に示されるように複数のトランジスタにより構成されている。これらのトランジスタは第1のリードデータバスRD1、バーRD1と第1の出力回路123との間、及び各フリップフロップFF1~FFxと第1の出力回路123との間にそれぞれ配置され、それぞれ遅延選択信号PBP1~PBPxが与えられる。各遅延選択信号の論理レベルに応じて、各トランジスタのONまたはOFFが制御される。これらのトランジスタは、Nチャンネル型MOSトランジスタである。

【0094】本実施例のシリアルアクセスメモリによれば、上述した実施例の効果に加え、遅延選択信号PBP1~PBPxにより任意の遅延ビットの選択が可能となるので、第1の出力端子から出力されるデータの遅延を適宜、設定することが可能となる。

【0095】次に、本発明の第7の実施例が図16を参照しながら説明される。図16は本発明の第7の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0096】本実施例では、前述した第6の実施例の構成にさらに、前述した第6の実施例の遅延選択回路1400と同様の構成の遅延選択回路1400'が、第2のリードデータバス対RD2、バーRD2と第2の出力回路133との間に接続されている。この遅延選択回路1400'の詳細な構成は、図15を参照すれば容易に理解できる。これらのトランジスタは第2のリードデータバスRD2、バーRD2と第2の出力回路133との間、及び各フリップフロップFF1'~FFx'と第2の出力回路133との間にそれぞれ配置され、それぞれ遅延選択信号PBP1'~PBPx'が与えられる。各遅延選択信号の論理レベルに応じて、各トランジスタのONまたはOFFが制御される。これらのトランジスタは、Nチャンネル型MOSトランジスタである。

【0097】本実施例のシリアルアクセスメモリによれば、上述した実施例の効果に加え、遅延選択信号PBP1~PBPx及びPBP1'~PBPx'により任意の遅延ビットの選択が可能となるので、第1及び第2の出力端子から出力されるデータの遅延を適宜、設定することが可能となる。

【0098】次に、本発明の第8の実施例が図17を参照しながら説明される。図17は本発明の第8の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に

示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0099】本実施例では、前述した第6の実施例のシリアルアクセスメモリの遅延選択回路1400に遅延選択信号PBP1~PBPxを出力する遅延制御用アドレスデコーダ1700が設けられている。この遅延制御用アドレスデコーダ1700は、遅延ビットを制御するために外部から与えられるアドレスAA1~AAxを解読して、遅延選択信号PBP1~PBPxを出力する機能を有する。

【0100】本実施例によれば、上述した実施例の効果に加え、遅延選択信号を外部アドレスにより作りだしているため、少ない外部信号で遅延ビット数を適宜、設定することができる。

【0101】次に、本発明の第9の実施例が図18を参照しながら説明される。図18は本発明の第9の実施例のシリアルアクセスメモリの構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0102】本実施例では、前述した第7の実施例のシリアルアクセスメモリの遅延選択回路1400、1400'に、上述の第8の実施例で説明した遅延選択信号PBP1~PBPxを出力する遅延制御用アドレスデコーダ1700及びそれと等価な機能を有する遅延制御用アドレスデコーダ1700'が設けられている。この遅延制御用アドレスデコーダ1700'は、遅延ビットを制御するために外部から与えられるアドレスAA1'~AAx'を解読して、遅延選択信号PBP1'~PBPx'を出力する機能を有する。

【0103】本実施例によれば、上述した実施例の効果に加え、遅延選択信号を外部アドレスにより作りだしているため、少ない外部信号で遅延ビット数を適宜、設定することができる。

【0104】次に、本発明の第10の実施例が図19を参照しながら説明される。図19は本発明の第10の実施例のシリアルアクセスメモリの動作を示す部分タイミングチャートである。この場合、本実施例の説明の理解を容易にするために、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。本実施例の基本的な動作は、図4に示される第1の実施例のシリアルアクセスメモリの動作及びその説明を参照すれば容易に理解できるので、ここではその説明は省略される。

【0105】本実施例では、第1の読み出し制御信号PRT1と第2の読み出し制御信号PRT2とが与えられるタイミングが、第1の実施例のそれとは異なっている。

【0106】すなわち、期間t2では、第1の読み出し

制御信号PRT1のみが"H"になり、読み出しデータがメモリセルアレイ101から第1のリード用レジスタ117へ転送され、格納される。そして、その後、期間t3では、第2の読み出し制御信号PRT2のみが"H"になり、第1のリード用レジスタ117に格納されている読み出しデータが第2のリード用レジスタ127へ転送される。

【0107】本実施例によれば、データの転送効率を上げることができ動作マージンのよいシリアルアクセスメモリを実現することができる。

【0108】次に、本発明の第11の実施例が説明される。本実施例のシリアルアクセスメモリの構成は基本的に第1の実施例のシリアルアクセスメモリの構成と同じである。

【0109】本実施例では、第1の実施例のシリアルアクセスメモリの第1のリード用レジスタ117のフリップフロップRFk、バーRFkを構成するインバータRInk、バーRInkのディメンジョンと第2のリード用レジスタ127のフリップフロップRFk、バーRFkを構成するインバータRIn'k、バーRIn'kのとディメンジョンが異なる。

【0110】すなわち、インバータRInk、バーRInkを構成するPチャンネル型MOSトランジスタ（PMOSとする）及びNチャンネル型MOSトランジスタ（NMOSとする）のディメンジョンがインバータRIn'k、バーRIn'kを構成するPMOS及びNMOSのディメンジョンより小さい。

【0111】本実施例によれば、データの転送効率を上げることができ動作マージンのよいシリアルアクセスメモリを実現することができる。

【0112】次に、本発明の第12の実施例が図20、図21、図22を参照しながら説明される。図20、図21、図22は本発明の第12の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0113】本実施例では、図20に示されるように第2のリード用レジスタ127とそれに電位を供給する電源ラインVDDと間に抵抗R1、R2が配置されている。また、図21に示されるように第1のリード用レジスタ117と電源ラインVDDとの間に抵抗R3、R4が設けられている。また、図22に示されるように第1及び第2のリード用レジスタ117、127と電源ラインVDDとの間にそれぞれ抵抗R1、R2、R3、R4が設けられている。

【0114】本実施例によれば、データの転送効率を上げることができ動作マージンのよいシリアルアクセスメモリを実現することができる。

【0115】次に、本発明の第13の実施例が図23を参照しながら説明される。図23は本発明の第13の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0116】本実施例では、第1又は第2のリード用レジスタ117、127のを構成するフリップフロップRFk、バーRFk、RF'k、バーRF'kが、図23に示されるようなクロックドインバータCRInk、バーCRInk、CRIn'k、バーCRIn'kで構成されている。これらのクロックドインバータは、制御信号φ1、φ2により制御される。

【0117】本実施例によれば、データの転送効率を上げることができ動作マージンのよいシリアルアクセスメモリを実現することができる。

【0118】以上、リードレジスタを直列に接続することにより2ポートのメモリを実現した様々な実施例が説明された。さらに、以下に第1のシリアルアクセスメモリと第2のシリアルアクセスメモリとを遅延回路を介して接続することにより2ポートのメモリを実現した様々な実施例が説明される。

【0119】まず、本発明の第14の実施例が図24を参照しながら説明される。図24は本発明の第14の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。この実施例のシリアルアクセスメモリは、第1のシリアルアクセスメモリ部2400A及び第2のシリアルアクセスメモリ部2400Bとから構成されている。

【0120】そして、第1のシリアルアクセスメモリ部2400Aの前出した要素と同一の機能を有する要素には、前出の符号の最後に“A”が付けられ、その詳細な説明が省略されている。この第1のシリアルアクセスメモリ部2400Aの詳細な構成は図25を参照することにより容易に理解できる。

【0121】また、第2のシリアルアクセスメモリ部2400Bの前出した要素と同一の機能を有する要素には、前出の符号の最後に“B”が付けられ、その詳細な説明が省略されている。この第2のシリアルアクセスメモリ部2400Bの詳細な構成は図26を参照することにより容易に理解できる。

【0122】本実施例のシリアルアクセスメモリでは、第1のシリアルアクセスメモリ部2400Aのリードデータバス対RDA、バーRDAと第2のシリアルアクセスメモリ部2400Bのライトデータバス対WDB、バーWDBとの間に遅延回路2403が接続される。

【0123】この遅延回路2403は、第1のシリアルアクセスメモリ部2400Aから読み出されたデータを所定期間遅延させて第2のシリアルアクセスメモリ2400Bのライトデータバス対WDB'、バーWDB'へ転送する機能を有する。この遅延回路による遅延の必要性は後述される。

【0124】この遅延回路2403の具体的な回路構成は図27に示される。この遅延回路2403は、リードデータバス対RDA、バーRDAに接続されるトランジスタ対2701、2702と、ライトデータバス対WDB、バーWDBに接続されるトランジスタ対2703、2704と、トランジスタ対2701、2702とトランジスタ対2703、2704との間に接続され、インバータ2705とインバータ2706とから構成されるフリップフロップDDFと、制御信号PYの論理レベルを反転させてトランジスタ対2703、2704の制御電極へ与えるインバータ2707とから構成される。これらのトランジスタはNチャンネル型MOSトランジスタである。

【0125】リード・ライト共用のYアドレスデコーダ2401は、外部アドレスA0、バーA0～An、バーAnを解読し、アドレス信号YRA1～YRAm及びアドレス信号YWB1～YWBmを出力する。これらのアドレス信号YRAkとアドレス信号YWBkは等価な論理レベルの信号である。それにより、転送回路119Aのトランジスタ対の中から所望のトランジスタ対がONし、同時に、転送回路108Bのトランジスタの中からその所望のトランジスタ対と対応したトランジスタ対がONする。

【0126】このリード・ライト共用のYアドレスデコーダ2401は、図28に示されるようにプリチャージ信号PRが与えられるPチャンネル型MOSトランジスタ（以下、PMOSとする）PT1～PTmと、インバータIn1～Inmと、外部アドレスA0、バーA0An、バーAnが与えられる端子に接続される複数のNチャンネル型MOSトランジスタ（以下、NMOSとする）とから構成される。これらのNMOSは外部アドレスが与えられる端子と任意に接続され、アドレス信号YRA1～YRAmの中から所望のアドレス信号YRAk、YWBkの論理レベルのみが“H”になるように配置されている。

【0127】このリード・ライト共用のYアドレスデコーダ2401の動作例が図29のタイミングチャートに示されている。この場合、アドレス信号YRAk及びアドレス信号YWBkが“H”になる場合のタイミングが示されている。

【0128】期間t0にプリチャージ信号PRが“H”から“L”に遷移する。その後、期間t2に外部アドレスが入力されると、アドレス信号YRAk、YWBkのみが“H”レベルになる。これは、NMOSの組み合わせ

せにより、その列のインバータ I_{nk} のみから "H" の信号が出力されるためである。これにより、転送回路 119A のトランジスタ対 119Ak、バー 119Ak 及び転送回路 108B のトランジスタ対 108Bk、バー 108Bk が ON する。ここには、動作のほんの一例が示されているが、この例を参考にすれば他の列が選択される場合の動作も容易に理解できる。

【0129】次に、図 32 を用いて本実施例のシリアルアクセスメモリの読み出し動作が説明される。説明は、理解を容易にするため期間毎に区切って行われる。ここで、図 30 に示されるようにリード用レジスタ 117A のフリップフロップ RF1 内のノードがノード a、b と定義され、図 31 に示されるようにライト用レジスタ 111B のフリップフロップ WF2 内のノードがノード c、d と定義される。このクロック信号は、図 5 に示されるクロック信号発生回路より出力される。ここでは、第 1 のシリアルアクセスメモリ部 2400A から第 2 のシリアルアクセスメモリ部 2400B へデータが転送される場合の例が中心的に示される。その他の動作については、上述の実施例の動作を参照すれば容易に理解できる。

【0130】<期間 t1> X アドレスデコーダ 103A により所望のワードライン WL_a ($1 \leq a \leq n$) が選択される。この場合、このワードライン WL_a の電位が "H" になる。このワードライン WL_a は、これから第 1 の出力端子 DOUT1A より読み出そうとする読み出しデータが格納されているメモリセル群に接続されている。

【0131】この時、ワードライン WL_a に接続するメモリセル C1、 $a \sim C_m$ 、a に格納されているデータは、各々のメモリセルが接続するビットライン対 BL1、バー BL1 \sim BLm、バー BLm に読み出される。そして、ビットライン対上のデータは、各センスアンプ SA1 \sim SA m により増幅される。

【0132】<期間 t2> 次に、第 1 の読み出し制御信号 PRTA の論理レベルが "H" になる。従って、転送回路 115A のトランジスタ対 115A1、バー 115A1 \sim 115Am、バー 115Am が ON する。

【0133】これにより、期間 t1 においてセンスアンプ SA1 \sim SA m により増幅されたビットライン対 BL1、バー BL1 \sim BLm、バー BLm 上のデータは、第 1 のリード用レジスタ 117A に一気に転送される。

【0134】<期間 t3> 次に、クロック信号 CLK が立ち上がり、これに同期してタイミング信号 ϕ_P が立ち上がる。この時、リード・ライト共用の Y アドレスデコーダ 2401 よりアドレス信号 YRA1、YWB1 が出力されるので、転送回路 119A のトランジスタ対 119A1、バー 119A1 と転送回路 108B のトランジスタ対 108B1、バー 108B1 が共に ON する。これにより、リード用レジスタ 117A のフリップフロ

ップ FF1 に格納されていたデータがリードデータバス RDA、バー RDA に転送されると共に、遅延回路 2403 へ転送され遅延回路 2403 内にデータが格納される。

【0135】<期間 t4> タイミング信号 ϕ_P が "L" になると、遅延回路 2403 のトランジスタ対 2703、2704 が ON し、遅延回路 2403 内に格納されていたデータがライトデータバス WDB、バー WDB へ転送される。

【0136】<期間 t5> 次に、クロック信号 CLK が立ち上がり、これと同期してタイミング信号 ϕ_P が再度立ち上がる。この時、リード・ライト共用の Y アドレスデコーダ 2401 はアドレス信号 YRA2、YWB2 を出力する。これにより、転送回路 119A のトランジスタ対 119A2、バー 119A2 が ON となるため、リード用レジスタ 117A のフリップフロップ FF2 に格納されていたデータはリードデータバス RDA、バー RDA に転送される。この時、タイミング信号 ϕ_P が "H" となるため、遅延回路 2403 のトランジスタ対 2701、2702 が ON となりリードデータバス RDA、バー RDA 上のデータは、遅延回路 2403 のフリップフロップ DFF に格納される。この時、期間 t4 にライトデータバス対 WDB、バー WDB 上に転送されたデータは、転送回路 108B のトランジスタ対 108B2、バー 108B2 が ON するため、ライト用レジスタ 111B のフリップフロップ WF2 に格納される。

【0137】以降、期間 t6 \sim t13 に示されるように同様なサイクルがくり返され、第 1 のシリアルアクセスメモリ部 2400A から第 2 のシリアルアクセスメモリ部 2400B へデータが転送されると共に、出力端子 DOUT1A からデータが出力される。この場合、第 1 のシリアルアクセスメモリ部 2400A から第 2 のメモリセル部 2400B へのデータの転送動作が中心的に説明されたが、上述の実施例の動作を参照すれば、出力端子 DOUT2B からデータが出力される動作は理解できる。このようにして、本実施例のシリアルアクセスメモリは 2 ポートメモリを実現する。

【0138】本発明によれば、第 1 のシリアルアクセスメモリ部と第 2 のシリアルメモリ部との間に遅延回路が配置され、第 1 のシリアルアクセスメモリ部から出力されたデータが所定期間遅延されるので、データが書き込まれる際の 1 ビット分のズレを防止することができる。

【0139】従って、複数個のシリアルアクセスメモリにより実現していた機能と等価な機能を単一のパッケージ中で実現することも可能となる。

【0140】さらに、リード・ライト共用アドレスデコーダが配置されるので、さらなる集積化が実現できる。

【0141】ここで、遅延回路が配置される理由について詳細な説明が以下に示される。

【0142】複数のシリアルアクセスメモリを集積化す

るために、例えば、単純に2個のシリアルアクセスメモリを接続して、ワンチップ化した場合、以下のような不具合が生じる。

【0143】第1のシリアルメモリの出力タイミングをここで考えてみる。期間 t_n における第 n 番目のクロックの立ち上がりより出力動作が開始されるとすると、実際は、出力は期間 t_n よりある遅延時間 Δt_{AC} （アクセスタイムと呼ばれる）をもって第1のシリアルメモリより出力される。

【0144】次に、第2のシリアルレジスタの入力タイミングを考える。期間 t_m における第 m 番目のクロックの立ち上がりより入力動作が開始されるとすると、実際は、回路動作マージンを考慮した場合、入力信号は、時刻 t_m よりある時間 Δt_H （ホールドタイムと呼ばれる）早く入力端子に確定していなければ、第2のシリアルメモリに誤ったデータが書き込まれた後、正しい入力がそれを書き換えることになるため、動作マージンのよい高速書き込みができない。

【0145】よって、例えば、期間 t_x に発生する第 x 番目のクロック信号に応じた動作を考えると、第1のシリアルメモリが期間 t において、第 x 番目のクロック信号に応答してデータを出力する場合、出力 D_x は、ある遅延時間 t_{AC} を持って出力される。また、同期間において、第2のシリアルメモリではライト動作が行われる。この時、期間 t_x に発生するクロック信号に応答して書き込まれるデータは、期間 t_x 以前に既に第1のシリアルメモリから出力されていたデータあり、この場合、書き込まれるデータは、期間 t_{x-1} に出力されたデータ D_{x-1} となる。

【0146】従って、第1のシリアルメモリと第2のシリアルメモリとを単に接続するだけでは、第2のシリアルメモリへのデータの書き込みは、1ビット分シフトしてしまうことになる。このことは動作マージンのよい高速な書き込みにとっての不具合となる。

【0147】しかし、本発明の本実施例のシリアルアクセスメモリによれば、この1ビット分のシフトを遅延させて調整する遅延回路が設けられているので、従前の回路設計技術を用いて簡単に複数のシリアルアクセスメモリを（上述の実施例では2個のシリアルアクセスメモリを）ワンチップ化することができる。

【0148】次に、本発明の第15の実施例が図33を参照しながら説明される。図33は本発明の第15の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0149】本実施例のシリアルアクセスメモリは、第14の実施例で説明したシリアルアクセスメモリのリー

ドデータバス RDA 、バー RDA に初期化回路3300が接続されている。

【0150】この初期化回路3300は、トランジスタ3301、3302、3303から構成され、初期化信号 EQ に応答してリードデータバス RDA 、バー RDA に初期化のための所定電位を与える機能を有する。これらのトランジスタはNMOSである。トランジスタ3301は、リードデータバス RDA と所定電位を有する電源との間に接続され、トランジスタ3302はリードデータバスバー RDA と電源との間に接続され、トランジスタ3303はリードデータバス RDA とリードデータバスバー RDA との間に接続される。これらのトランジスタの制御電極には初期化信号 EQ が与えられる。

【0151】このシリアルアクセスメモリの動作は、基本的に上述した第14の実施例で説明した動作と同様であるが、初期化回路3300により初期化信号 EQ が“H”となる期間にリードデータバス RDA 、 RDA が所定電位に初期化される点が異なる。

【0152】以下、図34のタイミングチャートを参照しながら、本実施例のシリアルアクセスメモリの動作が説明される。説明は、上述の実施例と同様に期間毎に区切って行われる。

【0153】＜期間 t_1 ＞ X アドレスデコーダ103Aにより所望のワードライン WL_a （ $1 \leq a \leq n$ ）が選択される。この場合、このワードライン WL_a の電位が“H”になる。このワードライン WL_a は、これから第1の出力端子 $DOU1A$ より読み出そうとする読み出しデータが格納されているメモリセル群に接続されている。

【0154】この時、ワードライン WL_a に接続するメモリセル $C1, a \sim C_m$ 、 a に格納されているデータは、各々のメモリセルが接続するビットライン対 BL_1 、バー $BL_1 \sim BL_m$ 、バー BL_m に読み出される。そして、ビットライン対上のデータは、各センスアンプ $SA1 \sim SA_m$ により増幅される。

【0155】＜期間 t_2 ＞次に、第1の読み出し制御信号 $PRTA$ の論理レベルが“H”になる。従って、転送回路115Aのトランジスタ対115A1、バー115A1 \sim 115Am、バー115AmがONする。

【0156】これにより、期間 t_1 においてセンスアンプ $SA1 \sim SA_m$ により増幅されたビットライン対 BL_1 、バー $BL_1 \sim BL_m$ 、バー BL_m 上のデータは、第1のリード用レジスタ117Aに一気に転送される。

【0157】＜期間 t_3 ＞次に、クロック信号 CLK が立ち上がり、これに同期してタイミング信号 ϕ_P が立ち上がる。この時、リード・ライト共用の Y アドレスデコーダ2401よりアドレス信号 $YRA1$ 、 $YWB1$ が出力されるので、転送回路119Aのトランジスタ対119A1、バー119A1と転送回路108Bのトランジスタ対108B1、バー108B1が共にONする。

【0158】また、初期化信号EQが”H”から”L”へ遷移するので、リードデータバスRDA、バーRDAへのデータの転送が可能になる。期間t3以前はリードデータバスRDA、バーRDAは電源電位に初期化されている。

【0159】これにより、リード用レジスタ117AのフリップフロップFF1に格納されていたデータがリードデータバスRDA、バーRDAに転送されると共に、遅延回路2403へ転送され遅延回路2403内にデータが格納される。

【0160】<期間t4>タイミング信号φPが”L”となると遅延回路2403のトランジスタ対2703、2704がONし、遅延回路2403のフリップフロップDFFに格納されていたデータが、ライトデータバスWDB、バーWDBへ転送される。

【0161】同時に初期化信号EQは”H”となり、リードデータバスRDA、バーRDAは電源電圧レベルに初期化される。

【0162】<期間5>クロック信号CLKが立ち上がり、これと同期してタイミング信号PYが再度立ち上がる。この時、リード・ライト共用アドレスデコーダ2401によりアドレス信号YRA2、YWB2が同時に出力される。

【0163】これにより、転送回路119Aのトランジスタ対119A2、バー119A2がONするので、リード用レジスタ117AのフリップフロップRF2に格納されていたデータが、リードデータバスRDA、バーRDAに転送される。

【0164】また、タイミング信号φPが”H”になるので、遅延回路2403のトランジスタ対2701、2702がONし、データが遅延回路2403のフリップフロップ回路DFFに格納される。

【0165】また、期間t4にライトデータバスWDB、バーWDB転送されたデータはライト用レジスタ111BのフリップフロップWF2に格納される。

【0166】以降、期間5～期間t13に示されるように同様なサイクルが繰り返される。

【0167】本実施例のシリアルアクセスメモリによれば、第14の実施例のシリアルアクセスメモリの効果に加え、リード用データバスの初期化回路を設けたので、より高速なアクセスが可能となる。

【0168】次に、本発明の第16の実施例をが図35を参照しながら説明される。図35は本発明の第16の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0169】本実施例のシリアルアクセスメモリでは、

第14の実施例のシリアルアクセスメモリのライト用レジスタ111Bと転送回路113Bが無く転送回路108Bが直接、メモリセルアレイ101Bに接続されている。

【0170】このシリアルアクセスメモリでは、第14の実施例のノードc、dに対応するノードとして、ノードc、dが定義される。

【0171】本実施例のシリアルアクセスメモリの動作は、第15の実施例の動作の説明を参照すれば、容易に理解できる。本実施例のシリアルアクセスメモリでは、ライトデータバスRDA、バーRDA上のデータは、直接、メモリアセルレイ101Bに転送される。

【0172】本実施例のシリアルアクセスメモリによれば、第14の実施例の効果に加え、第2のシリアルアクセスメモリのデータの読み出しが、第2のシリアルメモリのデータの書き込みと競合を起こさないような用途に適用した場合、ライト用レジスタを設けなくて2ポートメモリを実現できるため、チップサイズを大幅に縮小できる。

【0173】次に、本発明の第17の実施例をが図36を参照しながら説明される。図36は本発明の第17の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0174】本実施例のシリアルアクセスメモリは、第15の実施例のシリアルアクセスメモリのリードデータバスRDA、バーRDAに初期化回路3300が接続されている。

【0175】本実施例のシリアルアクセスメモリの動作は上述した第14～16の実施例の動作の説明を参酌すれば理解できる。

【0176】本実施例のシリアルアクセスメモリによれば、実施例15の効果に加え、初期化回路を設けたため、より高速のアクセスが可能となる。

【0177】次に、本発明の第18の実施例をが図37を参照しながら説明される。図37は本発明の第18の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0178】本実施例のシリアルアクセスメモリでは、第14の実施例のシリアルアクセスメモリのリード用レジスタ117Aと転送回路115A及びリード用レジスタ115Bと転送回路117Bが無く、転送回路119Aが直接、メモリセルアレイ101Aに接続され、転送

回路 119B が直接、メモリセルアレイ 101B に接続されている。

【0179】このシリアルアクセスメモリでは、第 14 の実施例のノード a、b に対応するノードとして、ノード a、b が定義される。

【0180】本実施例のシリアルアクセスメモリの動作は、上述の第 14 の実施例の動作の説明を参考にすれば容易に理解できる。

【0181】本実施例のシリアルアクセスメモリによれば、第 14 の実施例の効果に加え、第 2 のシリアルメモリのデータ書き込みのタイミングと第 1 のシリアルメモリのデータの読み出しタイミングとが、競合を起さないような用途に適用される場合、リード用データレジスタを設けずに 2 ポートメモリを実現できるため、チップサイズを大幅に縮小できる。

【0182】次に、本発明の第 19 の実施例をが図 38 を参照しながら説明される。図 38 は本発明の第 19 の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0183】本実施例のシリアルアクセスメモリは、第 18 の実施例のシリアルアクセスメモリのリードデータバス RDA、バー RDA に初期化回路 3300 が接続されている。

【0184】本実施例のシリアルアクセスメモリの動作は上述した第 15～18 の実施例の動作の説明を参照すれば理解できる。

【0185】本実施例のシリアルアクセスメモリによれば、実施例 18 の効果に加え、初期化回路を設けたため、より高速のアクセスが可能となる。

【0186】次に、本発明の第 20 の実施例をが図 39 を参照しながら説明される。図 39 は本発明の第 20 の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0187】本実施例のシリアルアクセスメモリでは、第 14 の実施例の第 1 のシリアルアクセスメモリのライト用レジスタ 111A と転送回路 113A、リード用レジスタ 117A と転送回路 115A、第 2 のシリアルアクセスメモリのライト用レジスタ 111B、転送回路 113B、リード用レジスタ 115B と転送回路 117B が無く、転送回路 108A、転送回路 119A が直接、メモリセルアレイ 101A に接続され、転送回路 108B、転送回路 119B が直接、メモリセルアレイ 101

B に接続されている。

【0188】本実施例のシリアルアクセスメモリの動作は、上述の第 14 の実施例の動作の説明を参考にすれば容易に理解できる。この場合、ライト用及びリード用のレジスタが無い場合、それぞれのライトデータバス及びリードデータバスとメモリセルアレイ 101A、101B との間で直接、データの入出力が行われる。

【0189】本実施例のシリアルアクセスメモリによれば、実施例 14 の効果に加え、それ程高速のアクセスが必要でないような用途に適用される場合、リード用データレジスタ、ライト用データレジスタを設けずに 2 ポートメモリを実現できるため、チップサイズを大幅に縮小でき安価なメモリを提供できる。

【0190】次に、本発明の第 21 の実施例をが図 40 を参照しながら説明される。図 40 は本発明の第 21 の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0191】本実施例のシリアルアクセスメモリは、第 20 の実施例のシリアルアクセスメモリのリードデータバス RDA、バー RDA に初期化回路 3300 が接続されている。

【0192】本実施例のシリアルアクセスメモリの動作は上述した第 14、15、20 の実施例の動作の説明を参照すれば理解できる。

【0193】本実施例のシリアルアクセスメモリによれば、実施例 20 の効果に加え、初期化回路を設けたため、より高速のアクセスが可能となる。

【0194】次に、本発明の第 22 の実施例をが図 41 を参照しながら説明される。図 41 は本発明の第 22 の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0195】本実施例のシリアルアクセスメモリは、第 14 の実施例の第 2 のシリアルアクセスメモリのライトデータバス WDB'、バー WDB' に記憶回路 4100 が接続されている。

【0196】この記憶回路 4100 は、図 42 に示されるように 2 つのフリップフロップ MFF、バー MFF より構成され、ライトデータバス WDB'、バー WDB' 上のデータを保持する機能を有する。

【0197】本実施例のシリアルアクセスメモリの動作は、上述した第 15 の実施例を参照すれば容易に理解できる。この場合、ライト用データバス WDB'、バー W

DB' 上のデータは、次のデータが転送されてくるまで保持される。

【0198】本実施例のシリアルアクセスメモリによれば、第14の実施例の効果に加え、メモリ動作がポーズを要求されるような場合、第2のシリアルメモリのライトデータバスWDB'、バーWDB' に記憶回路4100が接続されているため、確実な動作が保証される。

【0199】次に、本発明の第23の実施例が図43を参照しながら説明される。図43は本発明の第23の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0200】本実施例のシリアルアクセスメモリは、第15の実施例の第2のシリアルアクセスメモリのライトデータバスWDB'、バーWDB' に記憶回路4100が接続されている。

【0201】本実施例のシリアルアクセスメモリの動作は、上述した第15、16の実施例を参照すれば容易に理解できる。この場合、ライト用データバスWDB'、バーWDB' 上のデータは、次のデータが転送されてくるまで保持される。

【0202】本実施例のシリアルアクセスメモリによれば、第15、16の実施例の効果に加え、メモリ動作がポーズを要求されるような場合、第2のシリアルメモリのライトデータバスWDB'、バーWDB' に記憶回路4100が接続されているため、確実な動作が保証される。

【0203】さらに、第22、23の実施例と同様に、第16～第21の実施例の第2のシリアルアクセスメモリのライトデータバスWDB'、バーWDB' に記憶回路4100をそれぞれ接続するようにすれば、それぞれ第16～第21の実施例の効果に加え、メモリ動作がポーズを要求されるような場合、第2のシリアルメモリのライトデータバスWDB'、バーWDB' に記憶回路4100が接続されているため、確実な動作が保証される。

【0204】次に、上述の実施例のシリアルアクセスメモリをメモリを2バンク有するような装置に適用した実施例が説明される。

【0205】まず、本発明の第24の実施例が図44を参照しながら説明される。図44は本発明の第24の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。この実施例のシリアルアクセスメモリは、第1のシリアルアクセスメモリ部2400A第2のシリアルアクセスメモリ部2400B、第3

のシリアルアクセスメモリ部2400C及び第4のシリアルアクセスメモリ部2400Dとから構成されている。

【0206】そして、第1のシリアルアクセスメモリ部2400Aの前出した要素と同一の機能を有する要素には、前出の符号の最後に" A" が付けられ、その詳細な説明が省略されている。この第1のシリアルアクセスメモリ部2400Aの詳細な構成は図25を参照することにより容易に理解できる。

【0207】また、第2のシリアルアクセスメモリ部2400Bの前出した要素と同一の機能を有する要素には、前出の符号の最後に" B" が付けられ、その詳細な説明が省略されている。この第2のシリアルアクセスメモリ部2400Bの詳細な構成は図26を参照することにより容易に理解できる。

【0208】また、第3のシリアルアクセスメモリ部2400Cの前出した要素と同一の機能を有する要素には、前出の符号の最後に" C" が付けられ、その詳細な説明が省略されている。この第3のシリアルアクセスメモリ部2400Cの詳細な構成は図25及び図26等を参照することにより容易に理解できる。この第3のシリアルアクセスメモリ部2400Cのライトデータバス対WDB、バーWD及びリードデータバスRDA、バーRDAは、第1のシリアルアクセスメモリ部2400Aのライトデータバス対WDB、バーWDB及びリードデータバスRDA、バーRDAと接続されている。

【0209】また、第4のシリアルアクセスメモリ部2400Dの前出した要素と同一の機能を有する要素には、前出の符号の最後に" D" が付けられ、その詳細な説明が省略されている。この第4のシリアルアクセスメモリ部2400Dの詳細な構成は図25及び図26等を参照することにより容易に理解できる。この第4のシリアルアクセスメモリ部2400Dのライトデータバス対WDB'、バーWD及びリードデータバスRDA、バーRDAは、第2のシリアルアクセスメモリ部2400Bのライトデータバス対WDB'、バーWDB' 及びリードデータバスRDA、バーRDAと接続されている。

【0210】本実施例のシリアルアクセスメモリの基本的な動作は、第14の実施例の動作の説明を参考にすれば理解できるので、ここでは図45、図46を参照して特徴的な動作のみが説明される。図45及び図46は、本実施例のシリアルアクセスメモリの特徴的な動作を説明する模式的な回路ブロック図である。

【0211】図45に示されるように、例えば、第1のシリアルアクセスメモリ部2400A及び第2のシリアルアクセスメモリ部2400Bでデータ書き込みのための転送処理(WRITE IN)及びデータ読み出しのための転送処理(READ OUT)が行われている間、同時に、第3のシリアルアクセスメモリ部2400C及び第4のシリアルアクセスメモリ部2400Dではアク

セス動作が可能となる。同様に、図46に示されるように、例えば、第3のシリアルアクセスメモリ部2400C及び第4のシリアルアクセスメモリ部2400Dでデータ書き込みのための転送処理(WRITE IN)及びデータ読み出しのための転送処理(READ OUT)が行われている間、同時に、第1のシリアルアクセスメモリ部2400A及び第2のシリアルアクセスメモリ部2400Bではアクセス動作が可能となる。この場合、図中のa、b、c、dはアクセスを行っているレジスタの任意のビットを現すものであり、説明を理解し易くするために示されている。

【0212】本実施例のシリアルアクセスメモリによれば、上述のように動作することが可能なので、間断なくデータの書き込み及び読み出しを行うことができ、実施例14の効果に加え、より広い用途に適用できるシリアルアクセスメモリを提供することができる。

【0213】同様に、前述の様々な実施例のシリアルアクセスメモリに本実施例のシリアルアクセスメモリが適用された第25～31の実施例が示される。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。これらに関する詳細な説明は前述の実施例を参考にすれば理解できる。

【0214】第25の実施例では、図47に示されるように第15の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0215】第26の実施例では、図48に示されるように第16の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0216】第27の実施例では、図49に示されるように第17の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0217】第28の実施例では、図50に示されるように第18の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0218】第29の実施例では、図51に示されるように第19の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0219】第30の実施例では、図52に示されるように第22の実施例のシリアルアクセスメモリが、第24の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0220】第31の実施例では、図53に示されるように第23の実施例のシリアルアクセスメモリが、第2

4の実施例のシリアルアクセスメモリのように2バンク設けられたものが示されている。

【0221】さらに、図示は省略されるが、第22、23の実施例のシリアルアクセスメモリ及び第16～第21の実施例の第2のシリアルアクセスメモリのライトデータバスWDB、バーWDBに記憶回路4100がそれぞれ接続された構成のシリアルアクセスメモリに、同様に第24の実施例を適用して2バンクの構成にすることもできる。

【0222】この第25～31の実施例のシリアルアクセスメモリによれば、第24の実施例で説明したように動作することが可能なので、間断なくデータの書き込み及び読み出しを行うことができ、実施例14の効果に加え、より広い用途に適用できるシリアルアクセスメモリを提供することができる。

【0223】次に、本発明の第32の実施例が図54を参照しながら説明される。図54は本発明の第32の実施例のシリアルアクセスメモリの要部の構成を示す構成ブロック図である。この場合、本実施例の説明の理解を容易にするために、前出した要素は適宜ブロック化され、模式的に示されている。そして、前出した要素と同一の要素には同一の符号が付けられ、その説明が省略されている。

【0224】本実施例のシリアルアクセスメモリでは、上述した様々な実施例のXアドレスデコーダ103A、103Bに共通のXアドレスを与えるアドレスカウンタ回路5400が配置されている。

【0225】このアドレスカウンタ回路5400は、クロック信号CLKとリセット信号Resetにตอบสนองして、Xアドレスデコーダ103A、103Bに共通にXアドレスA0X、A1X・・・AnXを与える機能を有するものである。このアドレスカウンタ回路5400は、複数の単位アドレスカウンタ回路CNTRO～CNTRnより構成される。

【0226】この単位アドレスカウンタ回路CNTRiは、図55に示されるようにリセット信号Reset、入力Bn-1を受け取り、出力Bn及びXアドレスAiXを出力する。このリセット信号Resetが“H”になると、単位アドレスカウンタ回路CNTRiの出力Bnは“L”になる。

【0227】この単位アドレスカウンタ回路CNTRiの具体的な構成が、図56に示される。この単位アドレスカウンタ回路CNTRiは、入力Bn-1が入力端子に与えられるインバータIn1と、このインバータIn1の出力及び入力Bn-1により制御されるトランスファークロフトTR1と、このインバータIn1の出力及び入力Bn-1により制御されるトランスファークロフトTRと、一方の入力端子にリセット信号Resetが入力され、他方の入力端子にトランスファークロフトTR1を介してXアドレスAiX及びトランスファークロフトTR

2を介してインバータI_{n2}の出力が接続されるNORゲートと、インバータI_{n1}の出力及び入力B_{n-1}により制御されるトランスファergeートTR3と、インバータI_{n1}の出力及び入力B_{n-1}により制御されるトランスファergeートTR4と、トランスファergeートTR3を介してNORゲートの出力及びトランスファergeートTR4を介して出力B_nに端子が接続されるインバータI_{n4}と、入力がインバータI_{n4}の出力に接続され、出力が出力B_{n-1}に接続されるインバータI_{n5}とから構成される。

【0228】図57に示されるように、このような単位アドレスカウンタ回路A_iXの複数個が、直列に接続されて、アドレスカウンタ回路5400が構成される。このアドレスカウンタ回路5400の動作例は、図58の部分タイミングチャートに示される。

【0229】ここで本実施例のシリアルアクセスメモリの動作が、図59を参照して簡単に説明される。

【0230】アドレスカウンタ回路5400よりXアドレスがXアドレスデコーダ103A、Xアドレスデコーダ103Bに与えられると、メモリセルアレイ101Aとメモリセルアレイ101BA1とのそれぞれで、同一のアドレスにより、例えば第1のメモリセルアレイ101AのワードラインWL1及び第2のメモリセルアレイ101BのワードラインWL1が選択される。

【0231】この場合、メモリセルアレイ101AのワードラインWL1が立ち上がり、第1のシリアルアクセスメモリ101Aから第1のリード用レジスタ117Aにデータが転送され(図中、(A))、その後、遅延回路により1ビット遅延されて、データが第2のライト用レジスタ111Bに書き込まれる(図中、(B))。その後、メモリセルアレイ101BのワードラインWL0が立ち上がり、そのワードラインWL0に接続されるメモリセルに第2のライト用レジスタ111Bの内容が一度期に転送される(図中、(C))。

【0232】つまり、共通のXアドレスで選択された第1のメモリセルアレイ101Aのワードラインに接続するメモリセル内のデータは第1のリード用レジスタ117Aに転送され、クロック信号CLKに反応して第1の出力端子DO_{UT}1より出力されると共に、所定期間遅延された後、ライト用レジスタ111Bに書き込まれる。その後、ライト用レジスタ111Bへの書き込みが完了した後、共通のXアドレスで選択された第2のメモリセルアレイ101Bのワードラインに接続されるメモリセル内へデータが書き込まれる。

【0233】本実施例のシリアルアクセスメモリによれば、上述の様々な実施例による効果に加え、アドレスカウンタ回路を設け、第1及び第2のXアドレスデコーダへ共通のアドレスを与えるようにしたので、アドレス発生回路の数を減らすことができ、その結果、チップ面積を小さくすることができる。

【0234】以上、種々の実施例を用いて説明されたように、本発明のシリアルアクセスによれば、複数個のシリアルアクセスメモリで実現していた機能と等価な機能が、第1と第2の転送用レジスタを直列に接続することにより実現できる。

【0235】また、本願の他の発明のシリアルアクセスメモリでは上述のような構成にしたので、従来の複数個のシリアルアクセスメモリを簡単にワンチップ化することが可能となる。

【0236】上述された本発明のシリアルアクセスメモリは、図60に示されるようにディスプレイ装置6000に適用される。

【0237】このディスプレイ装置6000は、本発明によるシリアルアクセスメモリ6001と、そのシリアルアクセスメモリ6001の出力を受け取り、デジタル・アナログ変換を行ってデータを出力するD/Aコンバータ6002と、シリアルアクセスメモリ6001とD/Aコンバータ6002とを制御するコントローラ6003と、D/A変換回路6002からのデータを表示データとして表示する表示部6004とから構成される。

【0238】この他にも本発明のシリアルアクセスメモリは、様々な分野に応用できる。

【0239】本発明は、例証的な実施態様を用いて説明されたが、この説明は限定的な意味に受け取られてはならない。この例証的な実施態様の様々な変更、並びに本発明のその他の実施態様が当業者にはこの説明を参考にすることによって明らかになるであろう。従って、特許請求の範囲はそれらのすべての変更または実施態様を本発明の真の範囲に含むものとしてカバーするであろうと考えられている。

【0240】

【発明の効果】本発明のシリアルアクセスによれば、複数個のシリアルアクセスメモリで実現していた機能と等価な機能が、第1と第2の転送用レジスタを直列に接続することにより実現できる。

【0241】従って、占有面積が小さく、コストの低いシリアルアクセスメモリが実現できる。

【0242】また、本願の他の発明のシリアルアクセスメモリによれば、第1のシリアルアクセスメモリと第2のシリアルアクセスメモリとの間に遅延回路が配置されているので、複数個のシリアルアクセスメモリで実現していた機能と等価な機能有するシリアルアクセスメモリを簡単にワンチップ化することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のシリアルアクセスメモリの要部の構成を示す回路ブロック図である。

【図2】第1の実施例のシリアルアクセスメモリの特徴部分を説明する模式図である。

【図3】第1の実施例のシリアルアクセスメモリのデー

タの書き込み動作を示す部分タイミングチャートである。

【図 4】第 1 の実施例のシリアルアクセスメモリのデータの読み出し動作を示す部分タイミングチャートである。

【図 5】第 1 の実施例のシリアルアクセスメモリのクロック信号発生回路の構成を示す回路ブロック図及びその動作を示す部分タイミングチャートである。

【図 6】本発明の第 2 の実施例のシリアルアクセスメモリの要部の構成を示す回路ブロック図である。

【図 7】第 2 の実施例のシリアルアクセスメモリのデータの読み出し動作を示す部分タイミングチャートである。

【図 8】本発明の第 3 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 9】第 3 の実施例の遅延回路の構成を示す回路ブロック図である。

【図 10】第 3 の実施例のシリアルアクセスメモリのデータの読み出し動作を示す部分タイミングチャートである。

【図 11】本発明の第 4 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 12】第 4 の実施例の遅延バイパス回路の構成を示す回路ブロック図である。

【図 13】本発明の第 5 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 14】本発明の第 6 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 15】第 6 の実施例の遅延選択回路の構成を示す回路ブロック図である。

【図 16】本発明の第 7 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 17】本発明の第 8 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 18】本発明の第 9 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 19】第 10 の実施例のシリアルアクセスメモリのデータの読み出し動作を示す部分タイミングチャートである。

【図 20】本発明の第 12 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 21】本発明の第 12 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

る。

【図 22】本発明の第 12 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 23】本発明の第 13 の実施例のシリアルアクセスメモリのリード用レジスタの要部の構成を模式的に示す回路ブロック図である。

【図 24】本発明の第 14 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 25】第 14 の実施例の第 1 のシリアルアクセスメモリ部の具体的な構成を示す回路ブロック図である。

【図 26】第 14 の実施例の第 2 のシリアルアクセスメモリ部の具体的な構成を示す回路ブロック図である。

【図 27】第 14 の実施例の遅延回路の構成を示す回路ブロック図である。

【図 28】第 14 の実施例のリード・ライト共用の Y アドレスデコーダ 2401 の具体回路構成を示す回路ブロック図である。

【図 29】第 14 の実施例のリード・ライト共用の Y アドレスデコーダの動作例を示す部分タイミングチャートである。

【図 30】第 14 の実施例のリード用レジスタ 117A の要部の構成を示す回路ブロック図である。

【図 31】第 14 の実施例のライト用レジスタ 111B の要部の構成を示す回路ブロック図である。

【図 32】第 14 の実施例のシリアルアクセスメモリの動作を示す部分タイミングチャートである。

【図 33】本発明の第 15 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 34】第 15 の実施例のシリアルアクセスメモリの動作を示す部分タイミングチャートである。

【図 35】本発明の第 16 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 36】本発明の第 17 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 37】本発明の第 18 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 38】本発明の第 19 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 39】本発明の第 20 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 40】本発明の第 21 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

る。

【図 4 1】本発明の第 2 2 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 4 2】第 2 2 の実施例の記憶回路の構成を示す回路ブロック図である。

【図 4 3】本発明の第 2 3 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 4 4】本発明の第 2 4 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 4 5】第 2 4 の実施例のシリアルアクセスメモリの動作を説明する模式的な回路ブロック図である。

【図 4 6】第 2 4 の実施例のシリアルアクセスメモリの動作を説明する模式的な回路ブロック図である。

【図 4 7】本発明の第 2 5 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 4 8】本発明の第 2 6 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 4 9】本発明の第 2 7 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 5 0】本発明の第 2 8 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 5 1】本発明の第 2 9 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 5 2】本発明の第 3 0 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

る。

【図 5 3】本発明の第 3 1 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 5 4】本発明の第 3 2 の実施例のシリアルアクセスメモリの要部の構成を模式的に示す回路ブロック図である。

【図 5 5】第 3 2 の実施例の単位アドレスカウンタ回路を示す回路ブロック図である。

【図 5 6】第 3 2 の実施例の単位アドレスカウンタ回路の具体的な構成を示す回路ブロック図である。

【図 5 7】第 3 2 の実施例のアドレスカウンタ回路の構成を示す回路ブロック図である。

【図 5 8】第 3 2 の実施例のアドレスカウンタ回路の動作を示す部分タイミングチャートである。

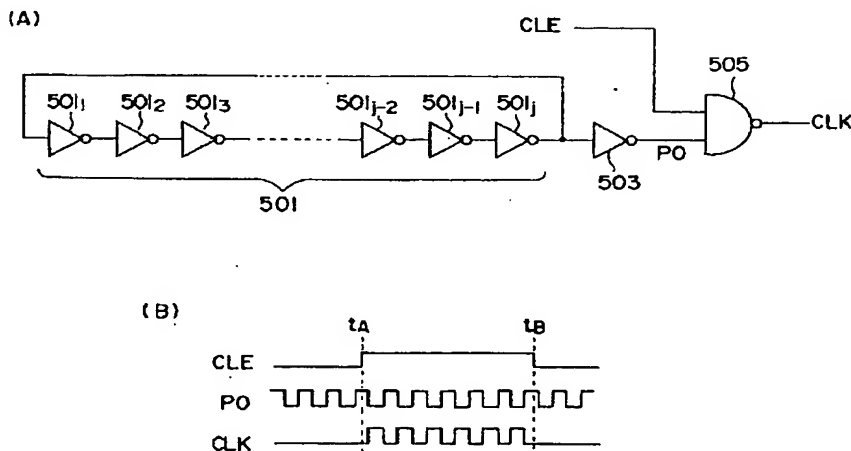
【図 5 9】第 3 2 のシリアルアクセスメモリの動作を説明する部分タイミングチャートである。

【図 6 0】本発明のシリアルアクセスメモリを表示装置に適用した例を示す回路ブロック図である。

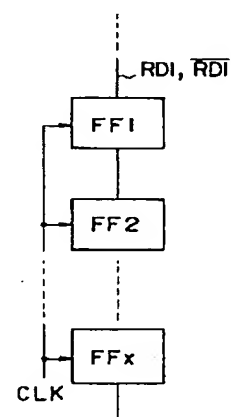
【符号の説明】

- 101 メモリセルアレイ
- 103 Xアドレスデコーダ
- 105 入力回路
- 107 Yアドレスデコーダ (ライト用)
- 109、113、115、119、125、129 転送回路
- 111 ライト用レジスタ
- 117 リード用レジスタ
- 121 第 1 の Y アドレスデコーダ (ライト用)
- 123 第 1 の出力回路
- 127 第 2 のリード用レジスタ
- 131 第 2 の Y アドレスデコーダ
- 133 第 2 の出力回路

【図 5】

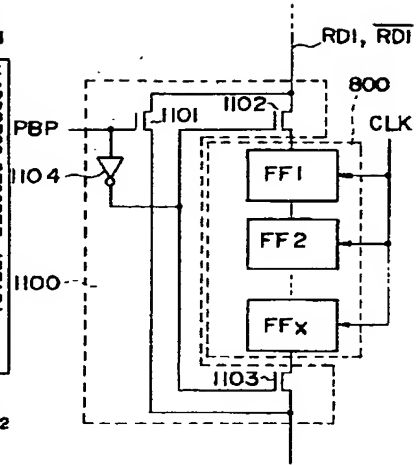
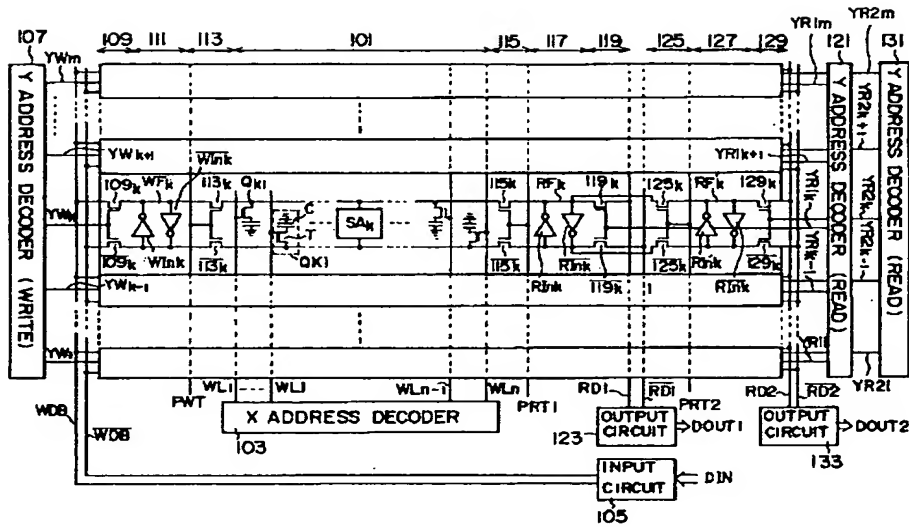


【図 9】



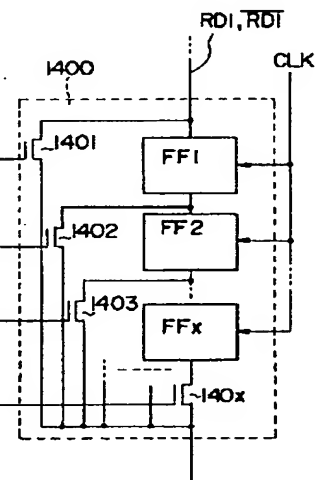
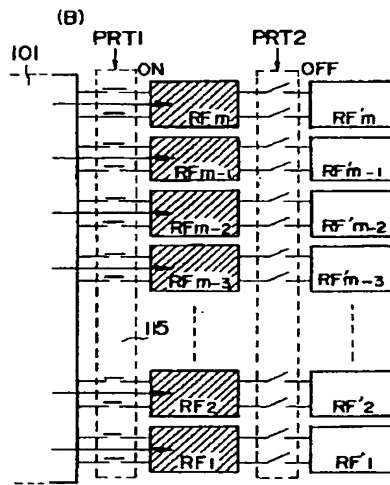
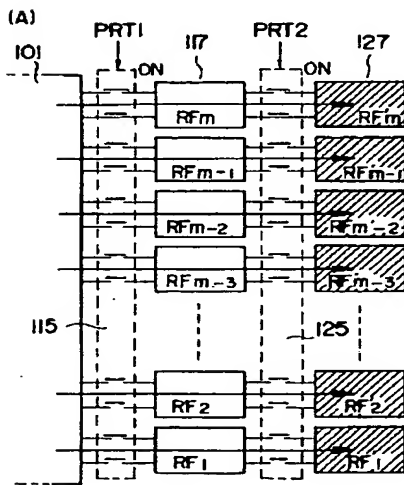
【図 1】

【図 12】



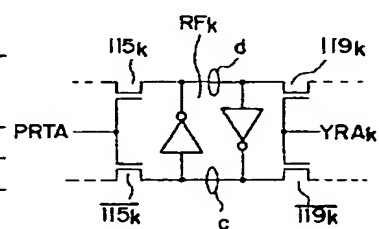
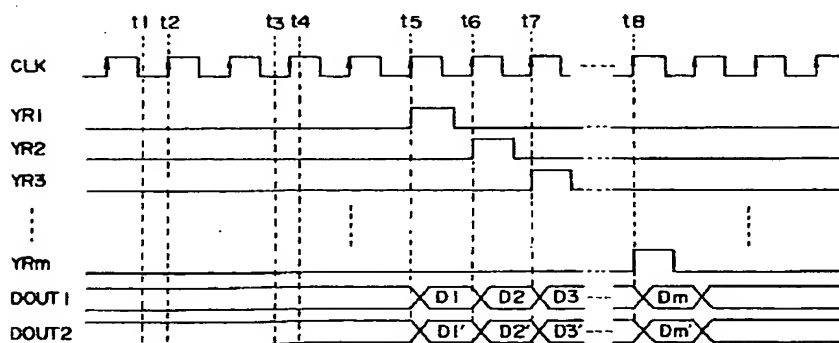
【図 2】

【図 15】

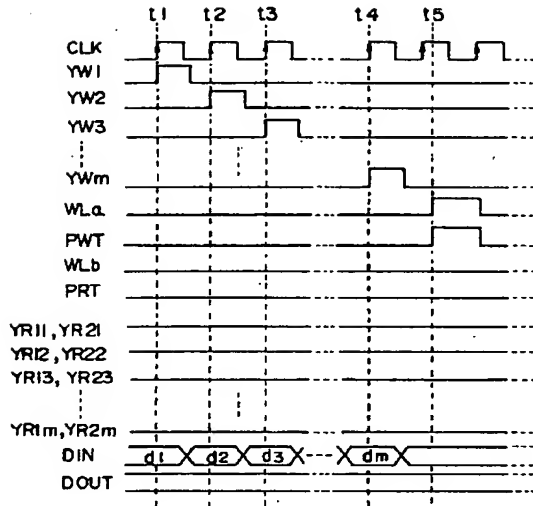


【図 7】

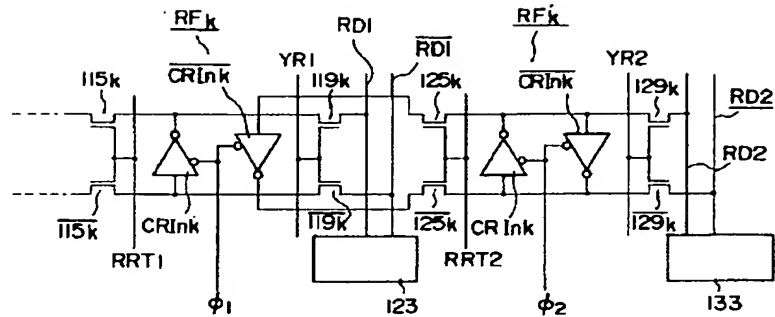
【図 30】



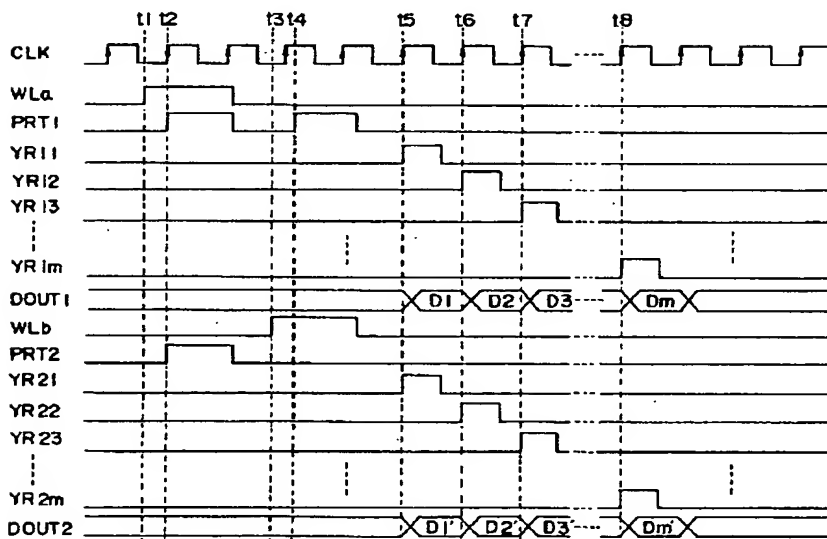
【図 3】



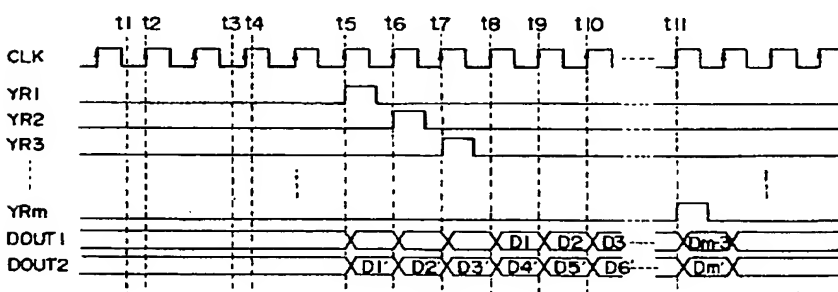
【図 2 3】



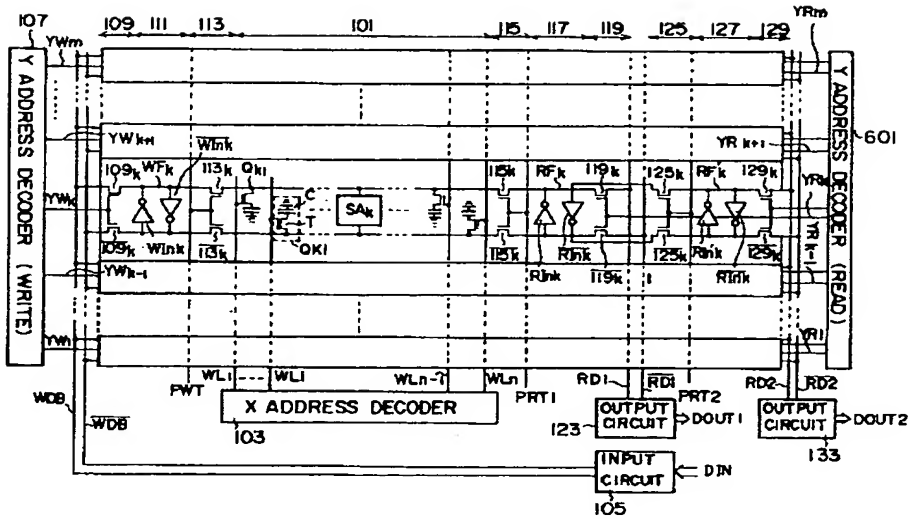
【図 4】



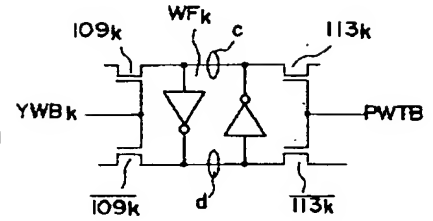
【図 1 0】



【図 6】

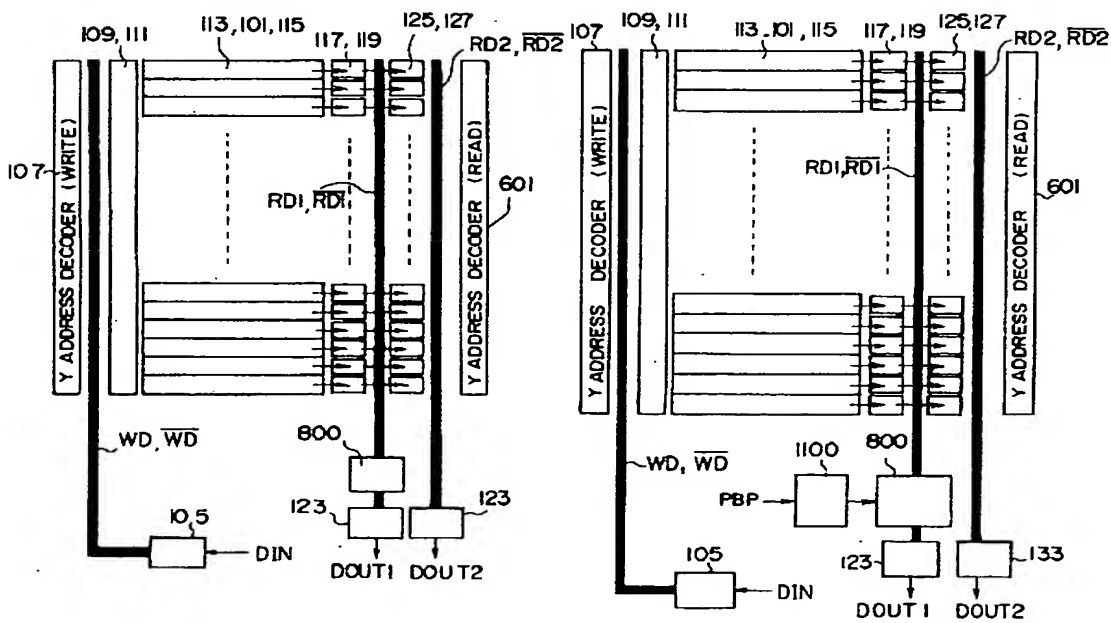


【図 3 1】



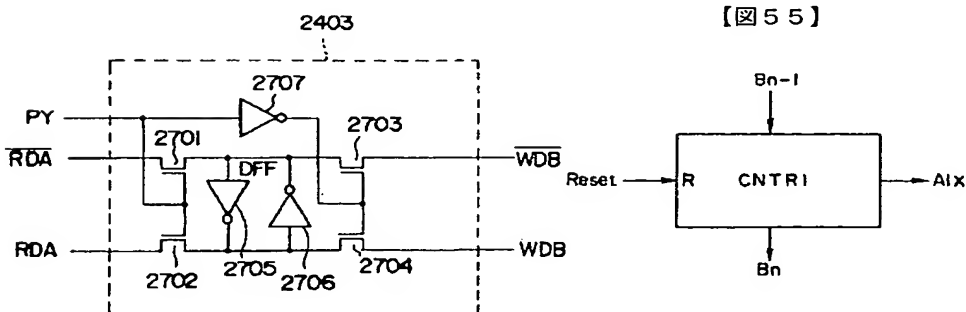
【図 8】

【図 1 1】

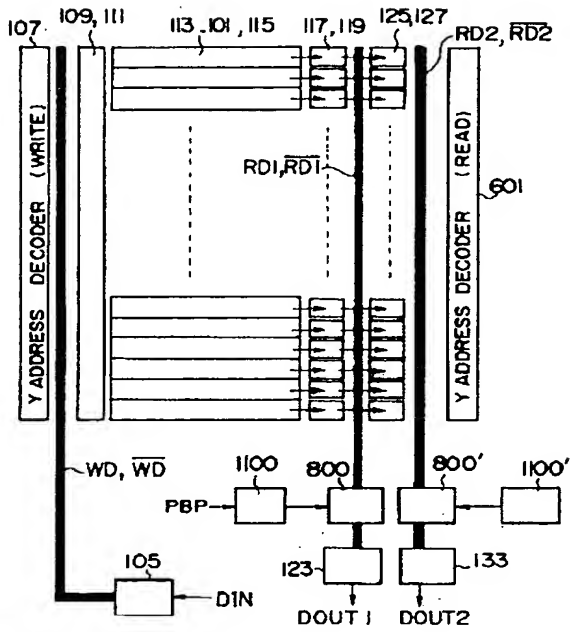


【図 2 7】

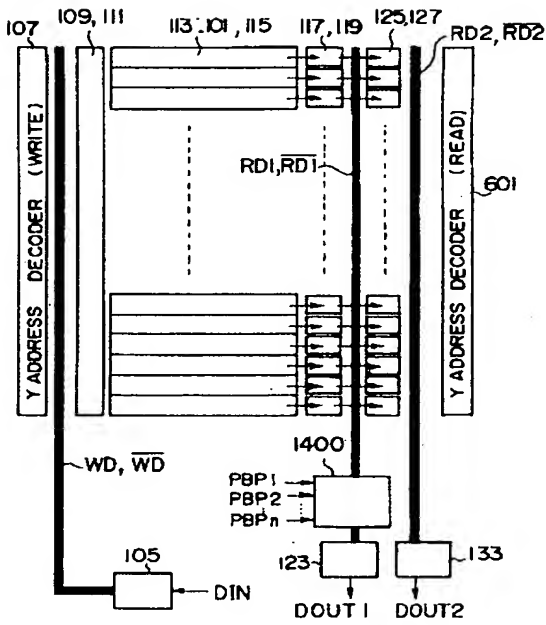
【図 5 5】



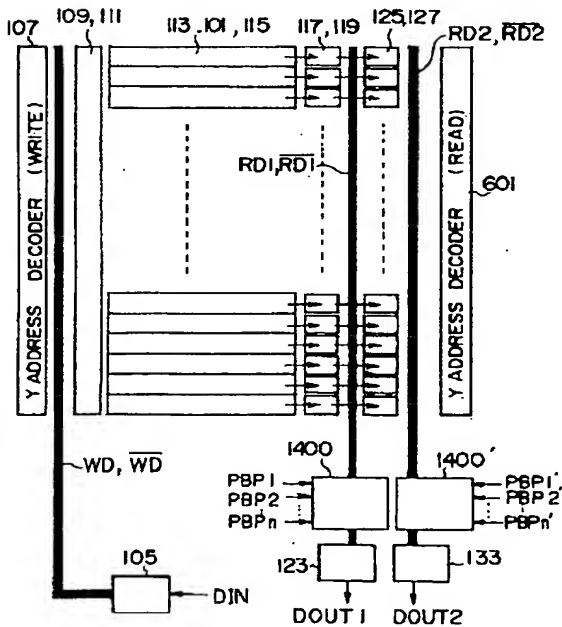
【図 13】



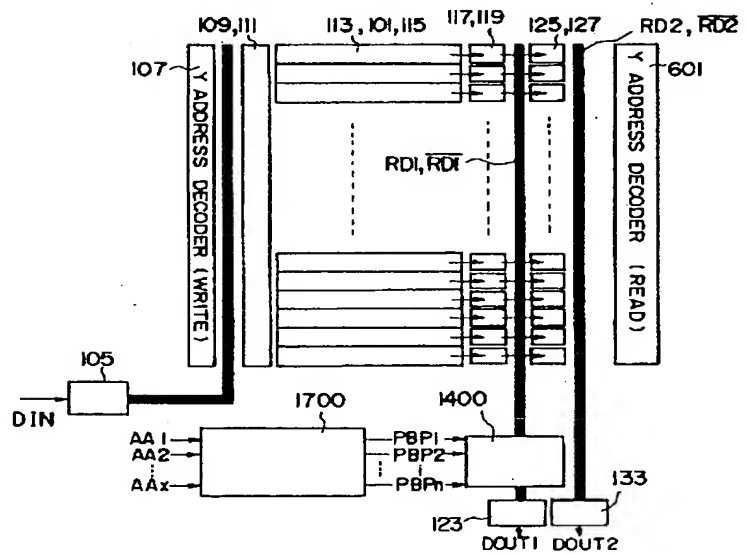
【図 14】



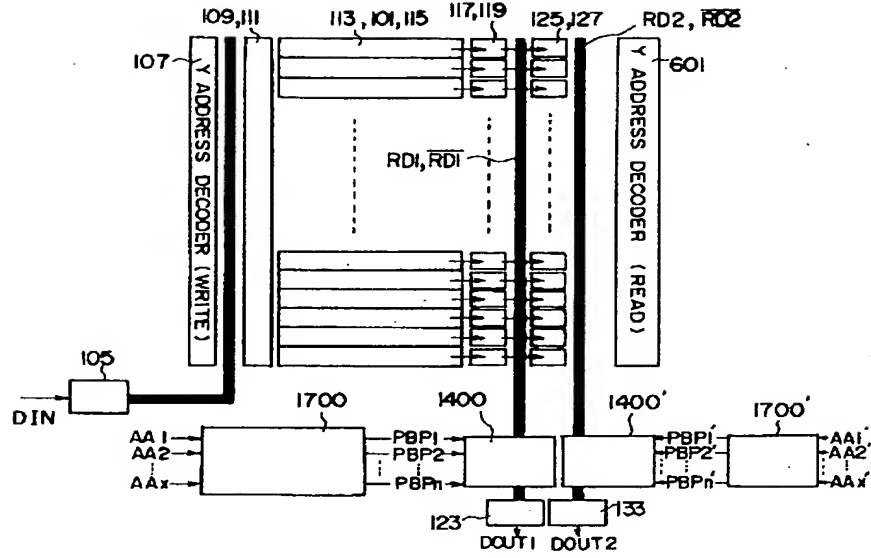
【図 16】



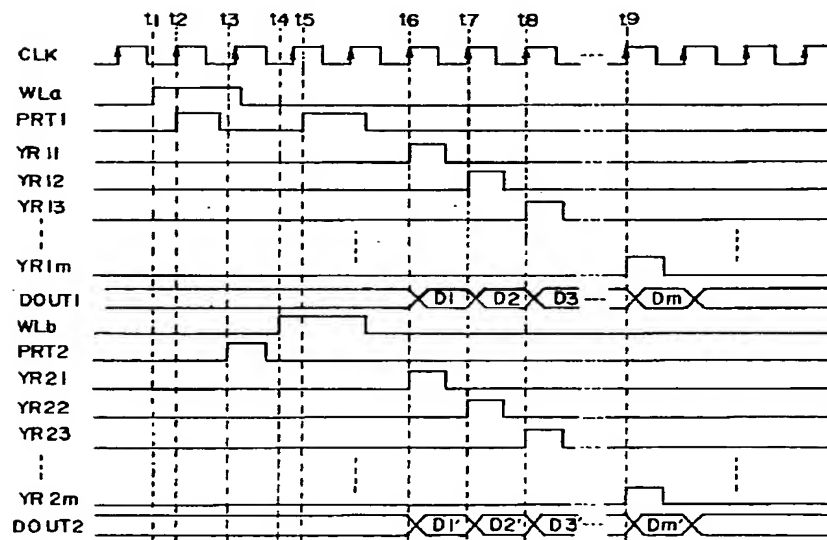
【図 17】



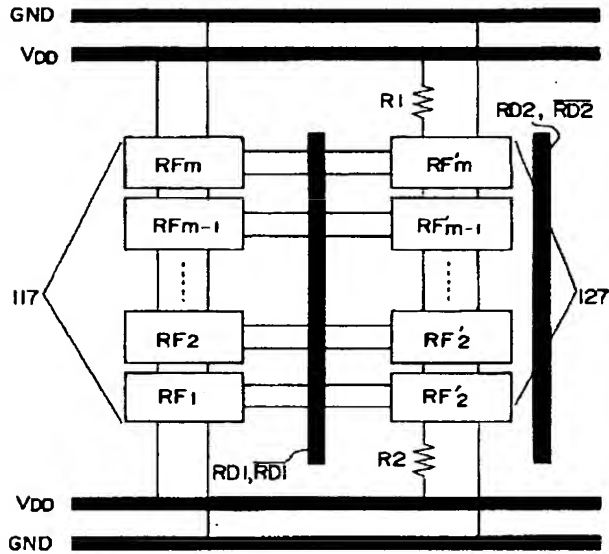
【図 18】



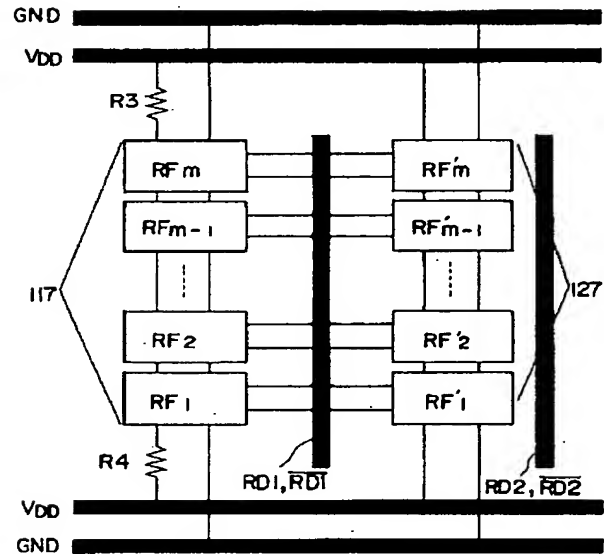
【図 19】



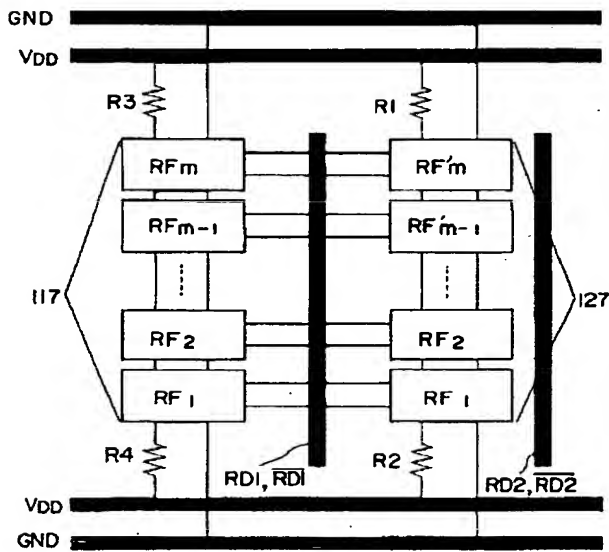
【図 20】



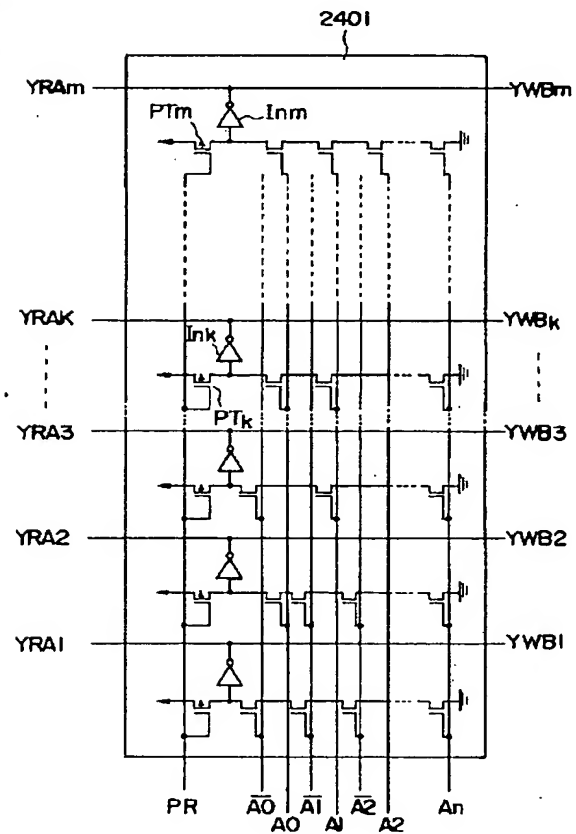
【図 21】



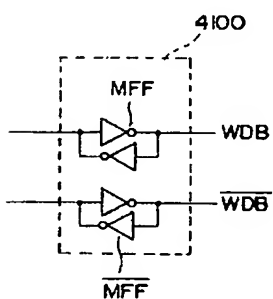
【図 22】



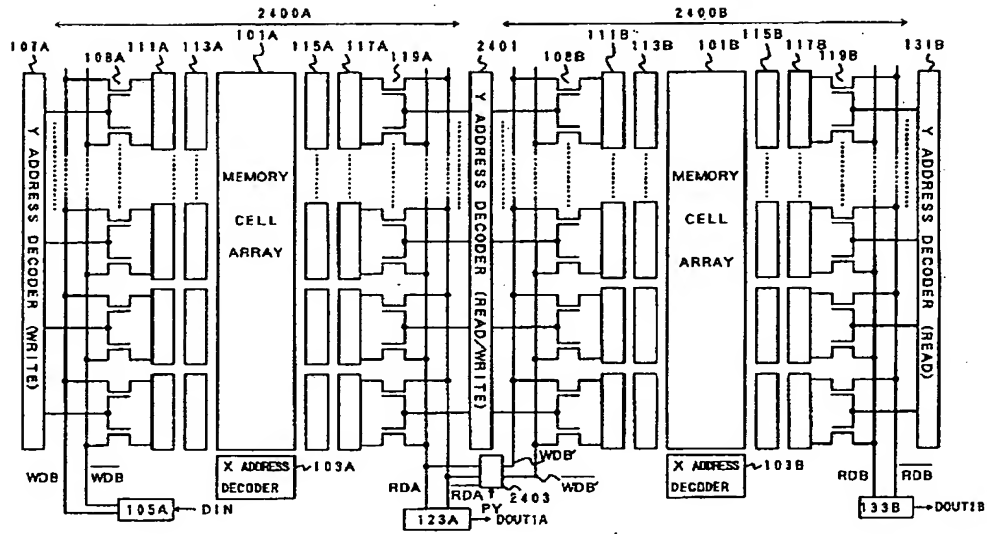
【図 28】



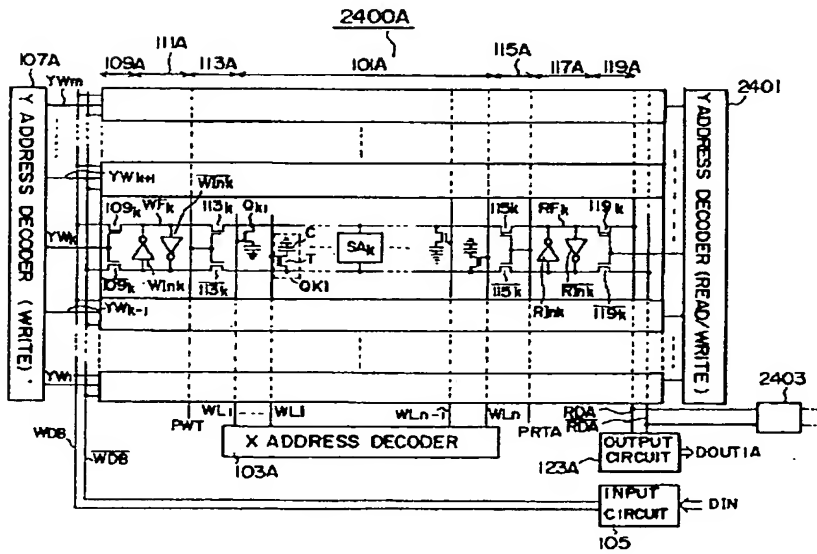
【図 42】



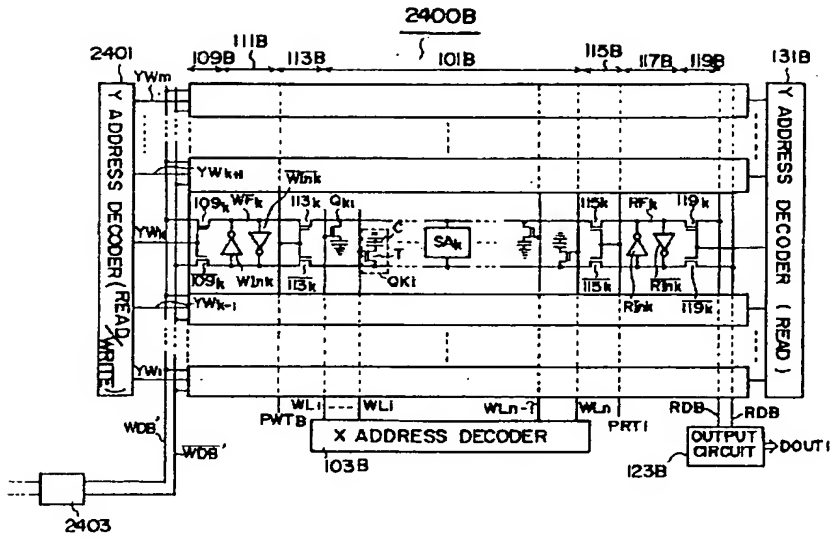
【図 24】



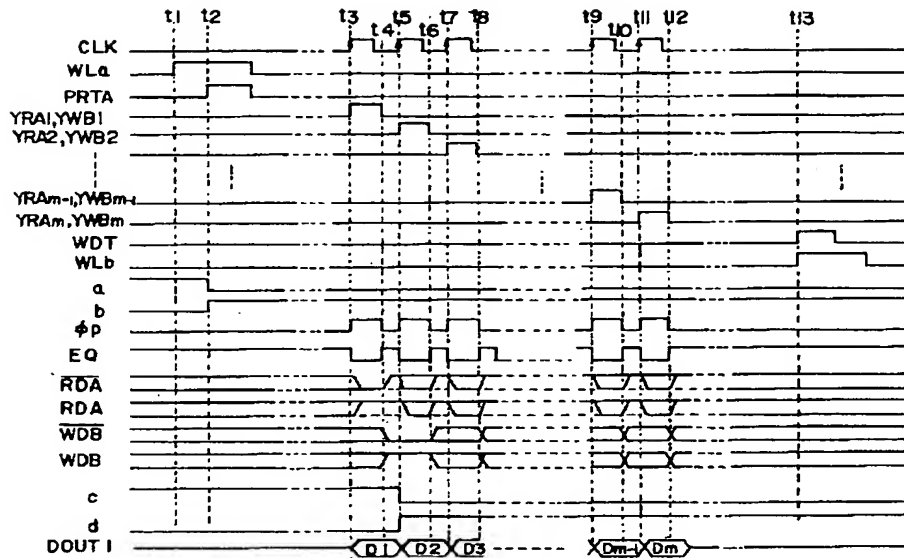
【図 25】



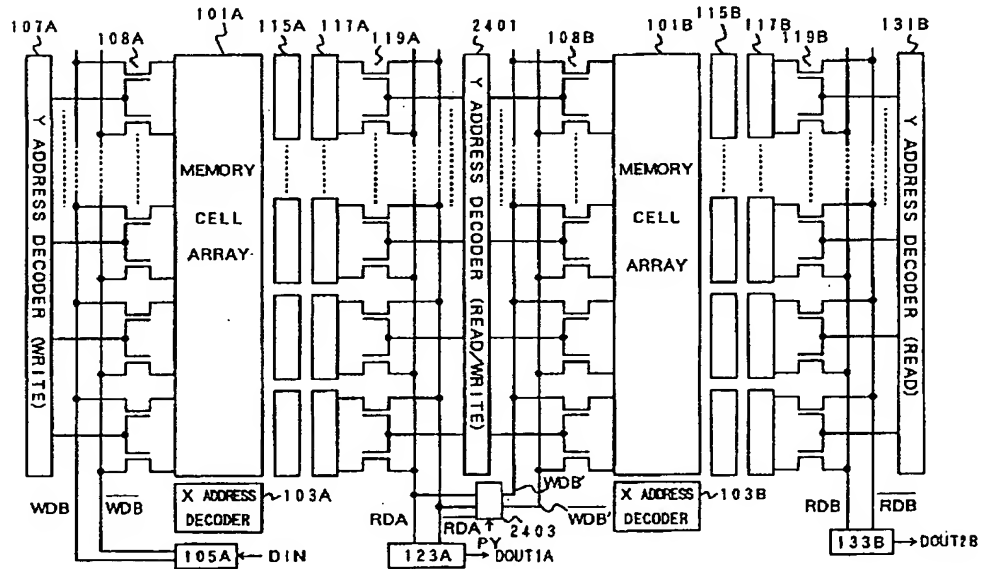
【図 26】



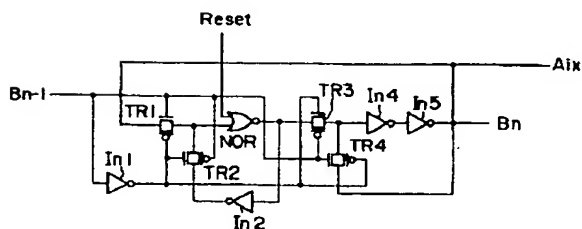
【図 34】



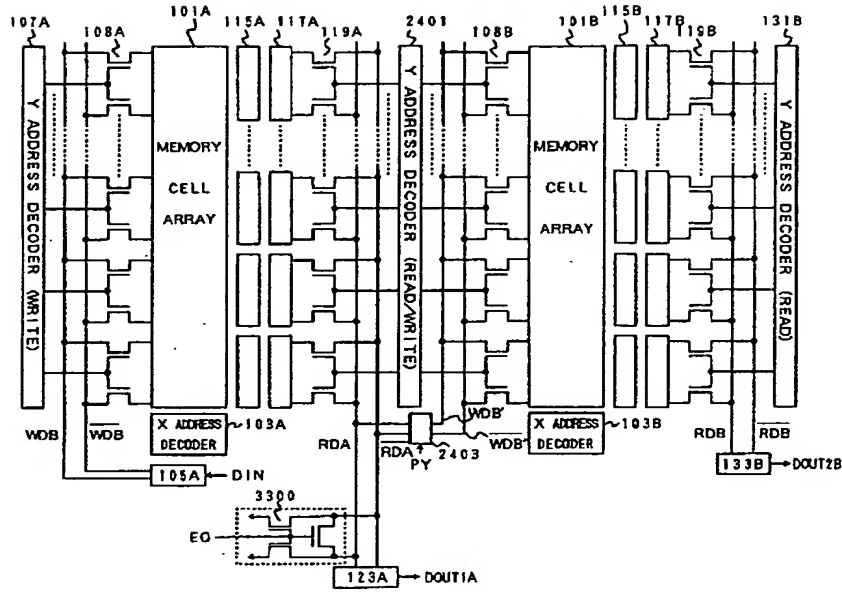
【図 35】



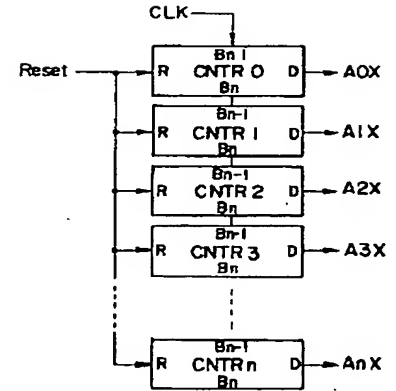
【図 56】



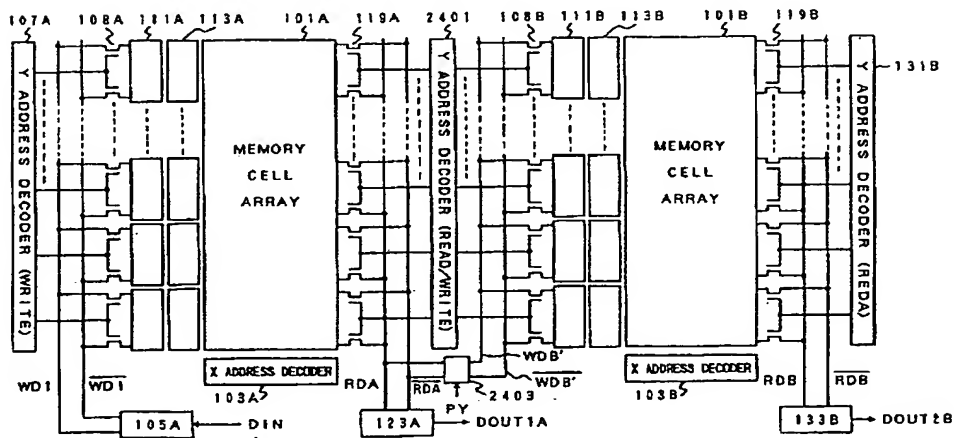
【図36】



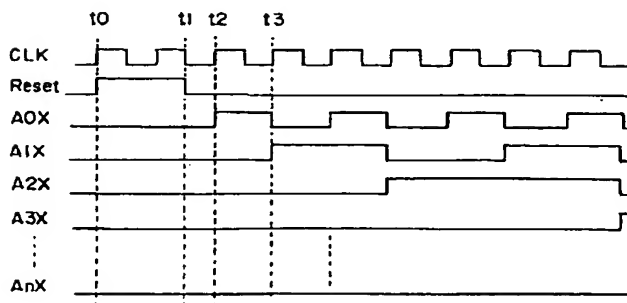
【図57】



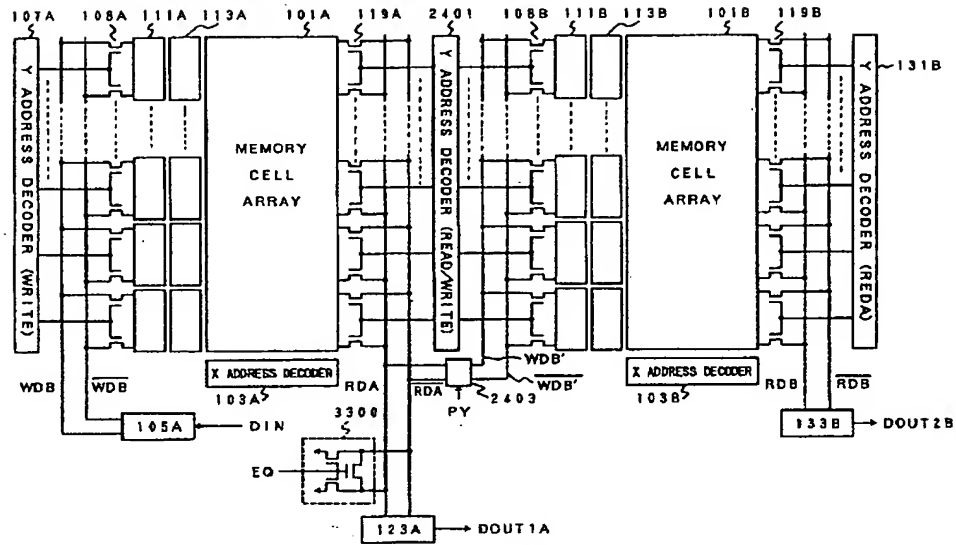
【図37】



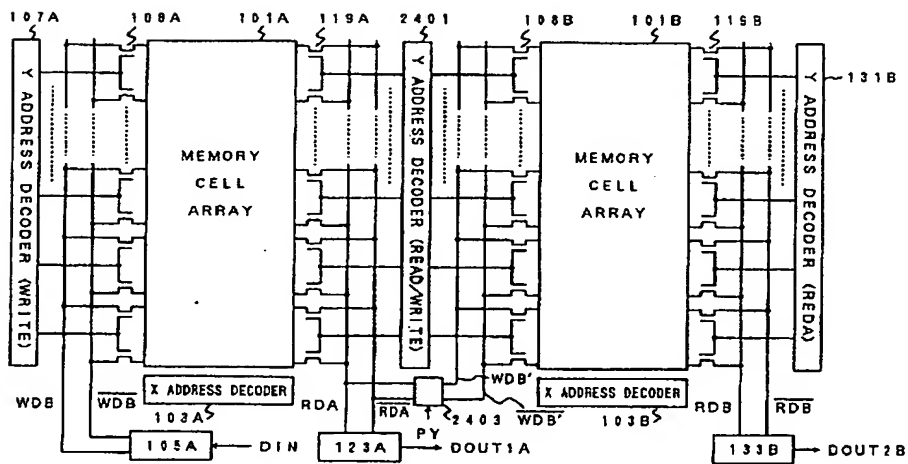
【図58】



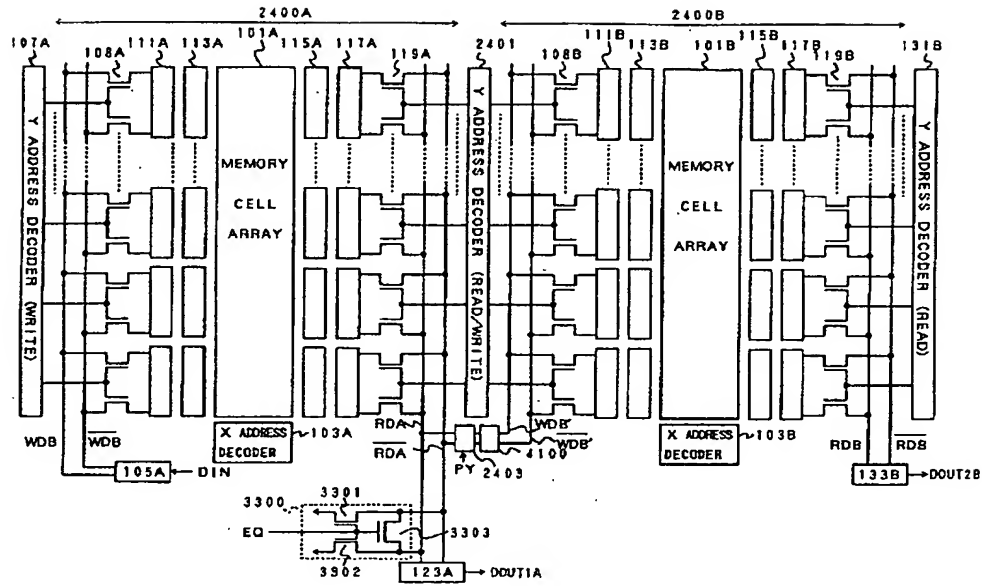
【図 38】



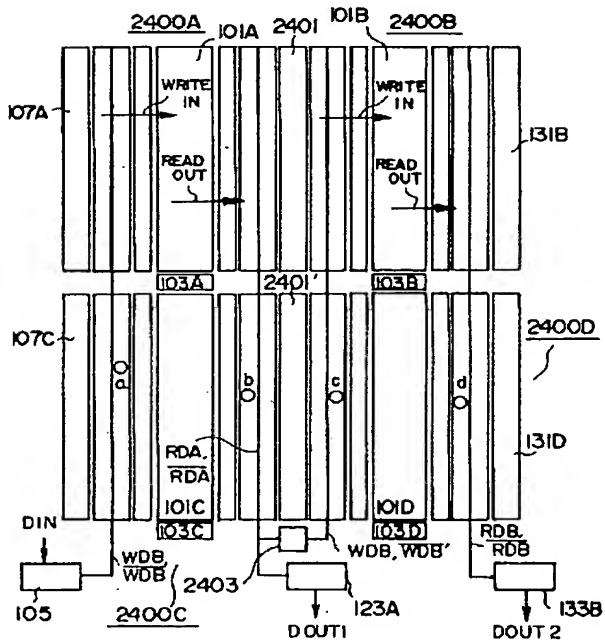
【図 39】



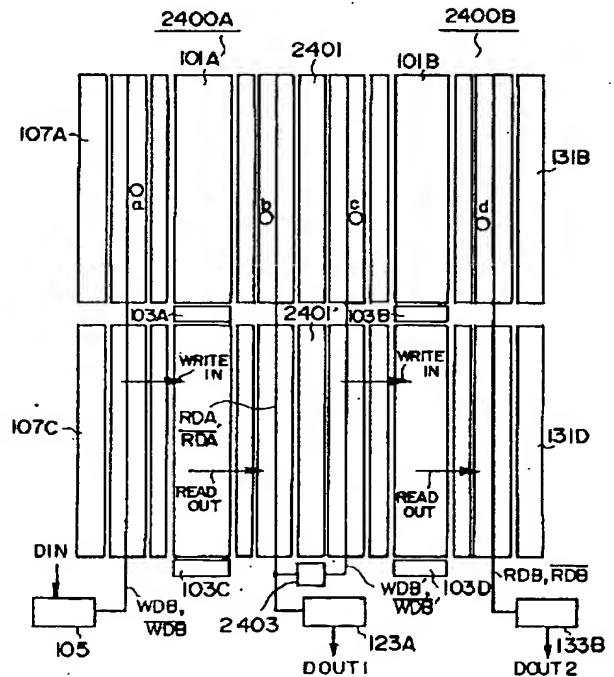
【図 43】



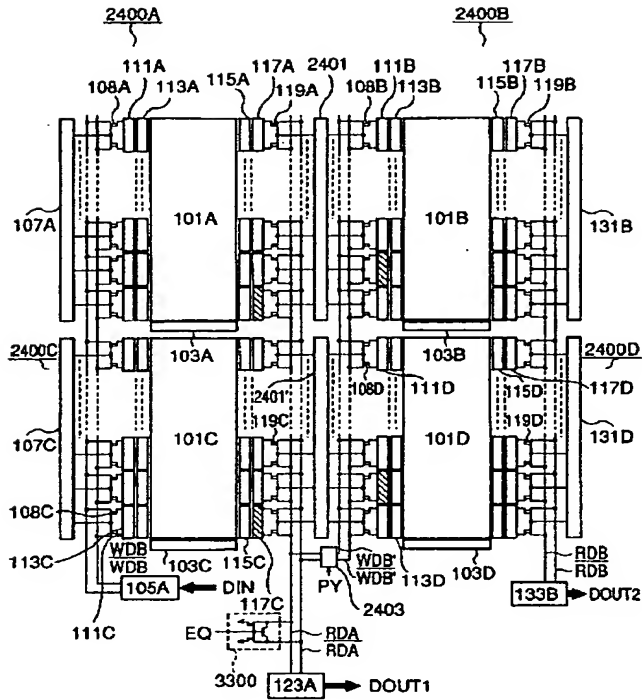
【図 45】



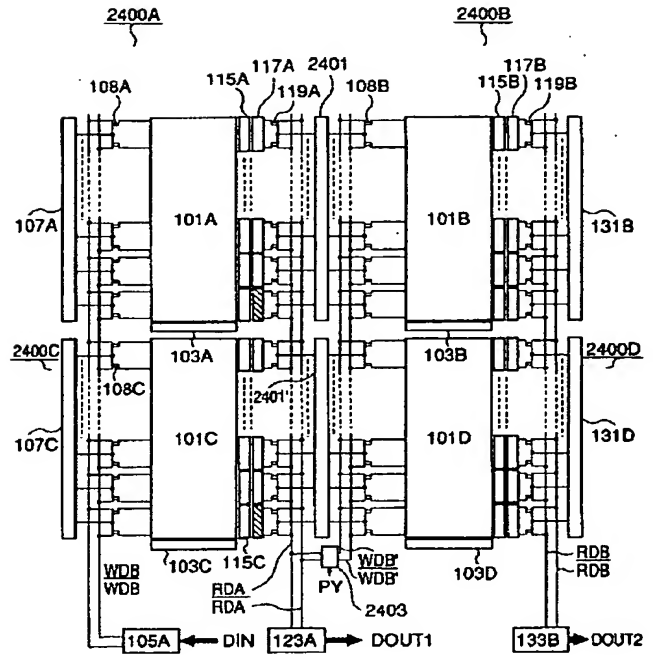
【図 46】



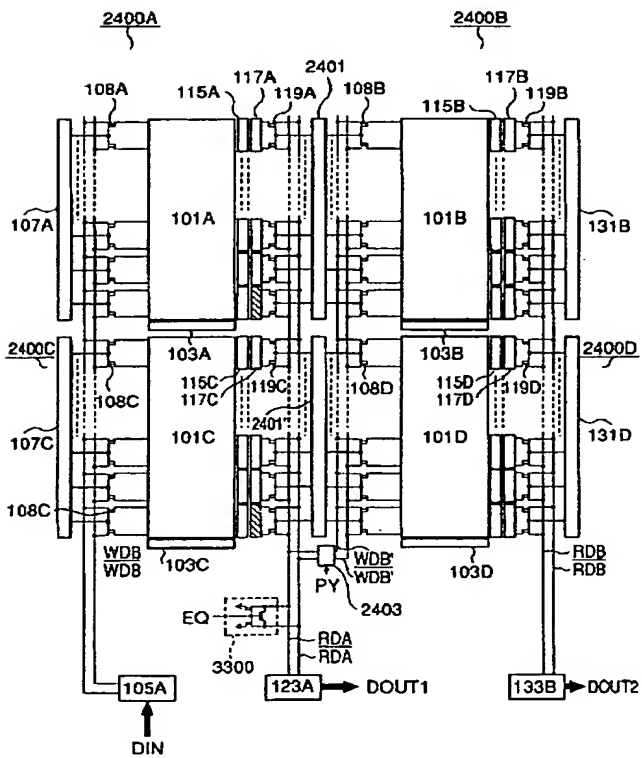
【図 4 7】



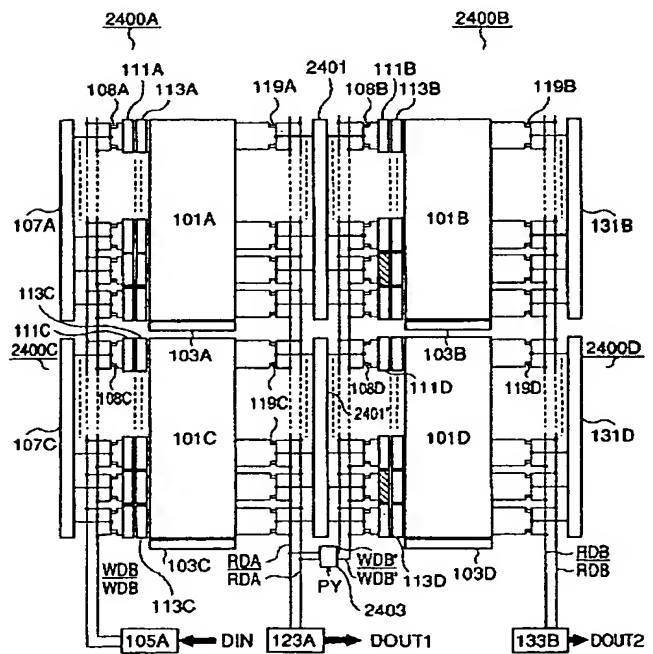
【図 4 8】



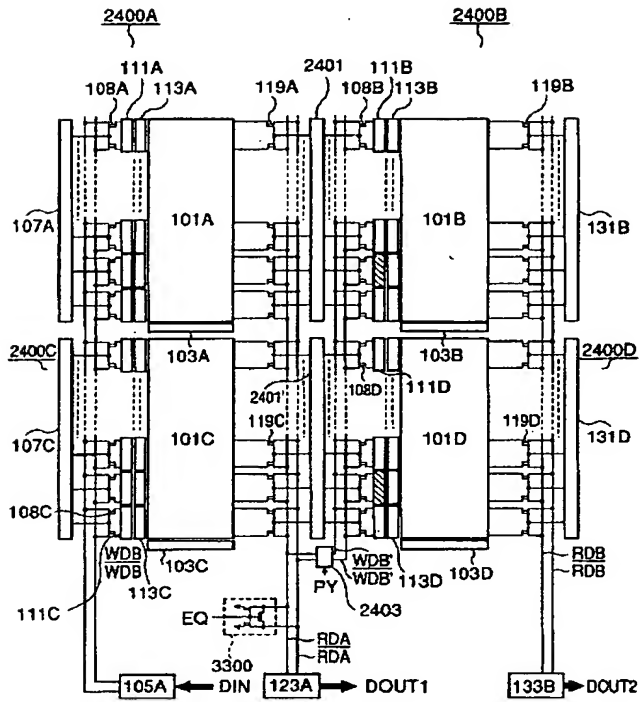
【図 4 9】



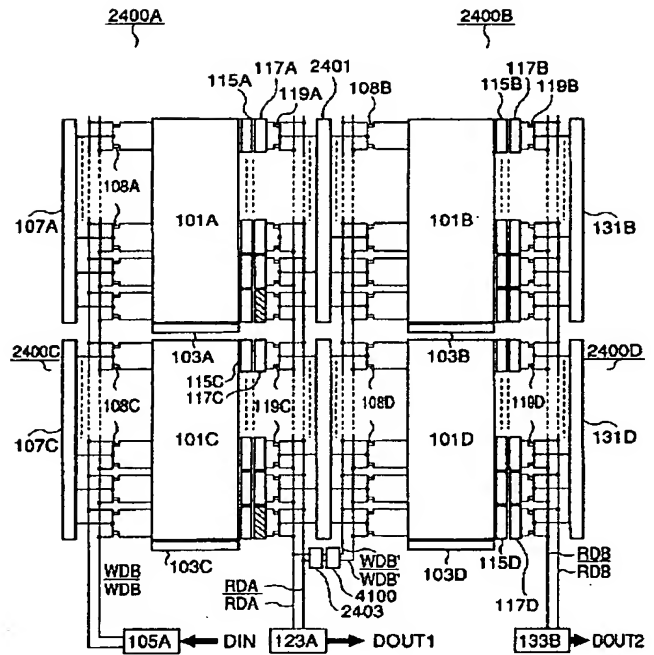
【図 5 0】



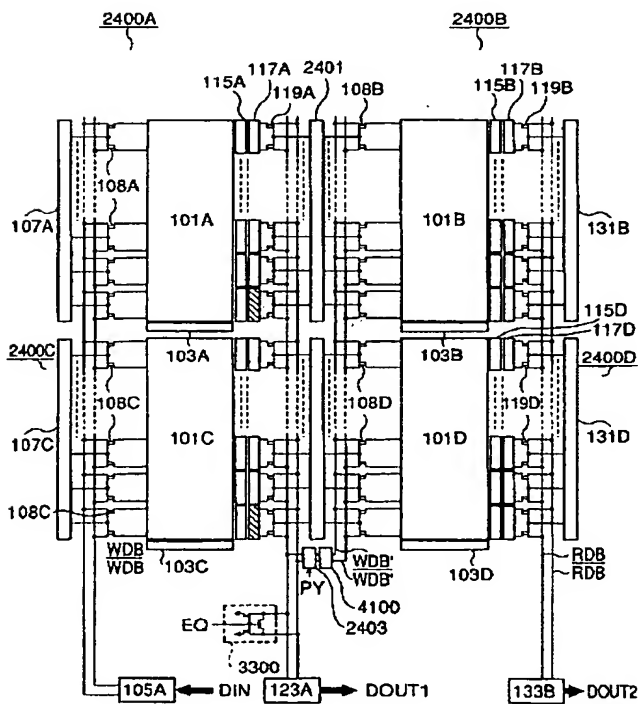
【図 5 1】



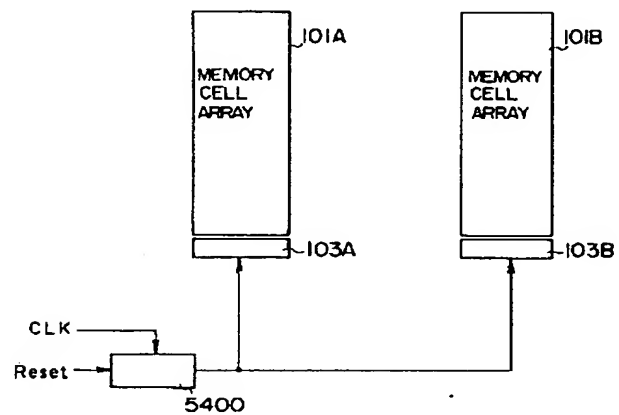
【図 5 2】



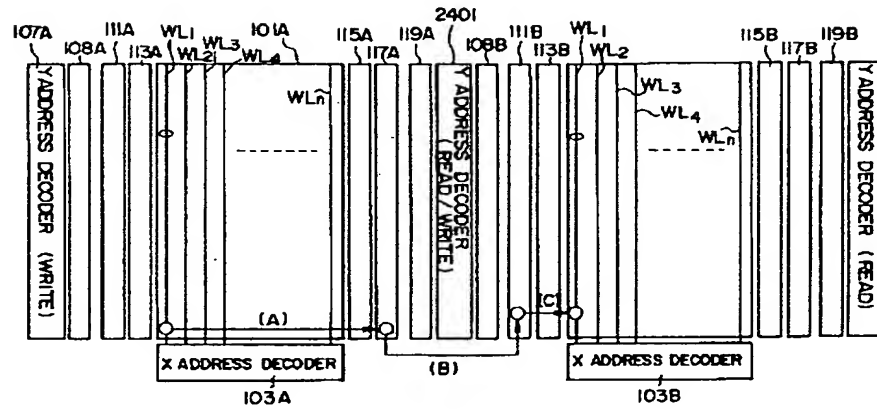
【図 5 3】



【図 5 4】



【図 59】



【図 60】

